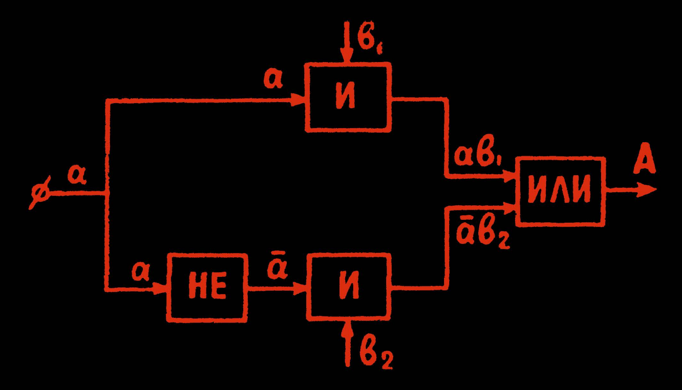
МАССОВАЯ РАДИО БИБЛИОТЕКА

С. Б. СТОПСКИЙ

ЛОГИЧЕСКИЕ СХЕМЫ

НА ПОЛУПРОВОДНИКАХ





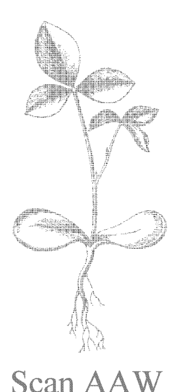
1 9 6 9

МАССОВАЯ РАДИОБИБЛИОТЕКА

Выпуск 694

С. Б. СТОПСКИЙ

ЛОГИЧЕСКИЕ СХЕМЫ НА ПОЛУПРОВОДНИКАХ И ИХ ПРИМЕНЕНИЕ





«ЭНЕРГИЯ»
Ленинградское отделение
1969

УДК 681.142.67
6 Ф 2
С 81

С. Б. Стопский

С 81 Логические схемы на полупроводниках и их применение Л. «Энергия» 1969.

96 с. с рис. 60 000 экз.

В книге рассмотрены принципы построения и схемы логических переключающих цепей на полупроводниках. В ней изложены основные понятия алгебры логики и показано, как на ее основе могут быть реализованы без детального вычерчивания желательные переключательные цепи. В книге описаны логические схемы, применяемые при решении различных задач. Для понимания ее содержания необходимо знание математики и физики в объеме средней школы.

Книга предназначена для подготовленных радиолюбителей и может быть полезна лицам, работающим в области автоматики, телемеханики и измерения неэлектрических величин электрическими методами.

3-4-5

351-68 **6Ф2**

ВВЕДЕНИЕ

При работе устройств автоматического управления большое количество выполняемых операций носит характер логического решения. Для отыскания таких решений необходимы сведения о работе устройств и о логических связях, которые надо реализовать.

Сведения первого рода получают от датчиков. Сведения второго рода являются, по существу, логическими выводами, записанными в виде логических операций.

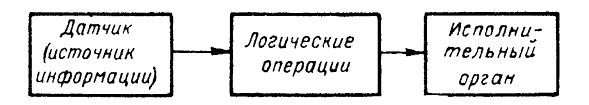


Рис. 1. Функциональная схема устройства, выполняющего логическую операцию.

Датчики являются устройствами, которые измеряют параметры, имеющие различную физическую сущность, и преобразовывают их в сигналы двух значений: сигнал «есть» («1») и сигнал «отсутствует» («0»).

Логические операции выполняются логическими элементами, работающими в режиме переключения. Сигналы на их входе и выходе могут иметь указанные два значения «1» и «0».

Сигналы от датчиков поступают в логические устройства, в которых в зависимости от сочетания входных сигналов и заданной программы выдается команда исполнительным органом управляемого объекта. Основное назначение логических элементов заключается в том, чтобы выработать

правильную команду в зависимости от сочетаний сигналов, поступающих от датчиков.

Рассмотренные операции могут быть осуществлены в устройстве, содержащем узлы: *1* — датчик, дающий входные сигналы дискретного действия; *2* — логическая схема, вырабатывающая заданную команду в виде соответствующего сигнала; *3* — исполнительный орган, служащий для управления объектом (рис. 1).

Примером устройства, выполняющего указанные операции, может служить управление самолетом.

Чувствительный элемент — датчик — выдает информацию о положении самолета; логические схемы выполняют логические операции, которые выдают сигнал устройству, корректирующему положение самолета. Если он смещается вверх, вниз или отклоняется от курса в горизонтальной плоскости, то датчики выдают сигналы соответствующие каждому его положению. Сигналы поступают к логическим элементам, которые соединены между собой так, что могут осуществить логическую операцию по корректировке положения самолета.

Осуществление многих других задач требует применения соответствующих комбинаций логических элементов. С помощью алгебры логики они решаются с минимальным количеством логических элементов.

ГЛАВА ПЕРВАЯ
ОСНОВЫ МАТЕМАТИЧЕСКОЙ ЛОГИКИ

1. Особенности алгебры логики

Сущность логических функций легко понять, уяснив некоторые особенности логики и ее раздела — алгебры логики.

Логика является наукой о формах и законах мышления. Главная задача логики состоит в установлении методов правильного умозаключения; это осуществляется двумя способами: при помощи правил вывода; при помощи законов логики.

В законах логики рассматриваются схемы построения сложных предложений из простых. Между простыми предложениями имеются логические связки (операции). Такими связками служат слова:

1. Если........, то ....
2. .... ИЛИ ....
3. .... И ....
4. .... НЕ ....
5. .... НИ .... НИ ....
6. .... либо ....
7. .... неверно, что ....
8. .... тогда и только тогда ...., когда, и т. д.

Если заменить каждое многоточие произвольным высказыванием, то получим определенное сложное предложение. Например: «Летом мы поедем в Сочи ИЛИ в Ялту». Здесь указывается на существование двух возможностей, из которых одна должна быть осуществлена. «Стало темно И включили свет». В одном предложении указывается, что произойдут два события.

Для правильного умозаключения необходимы две группы (информаций) сведений:

1) сведения, которыми располагают до начала рассуждения;

2) сведения которые выводятся путем рассуждения из первой группы сведений.

Всякое логическое, точное суждение может быть выражено математическим языком путем формальных преобразований логических формул по правилам алгебраических действий.

Для законов логики был создан способ их записи в форме алгебраических выражений, в виде формул, куда вместо простых предложений входят так называемые переменные предложения или буквы (символы). Эти символы позволяют заменить сокращенными знаками более длинные речевые обороты.

Алгебра логики показывает, как оперировать с логическими суждениями (алгебраическими символами), складывать, умножать и т. д.

В алгебре логики объектом исследования является высказывание (утверждение). Под высказыванием понимается всякое сообщение, которое может быть истинным или ложным. В первом случае значение истинности его равно «1», во втором случае — «0», т. е. «ДА» или «НЕТ». Например: А — лампа включена; В — реле под током; С — ток протекает по замкнутой цепи. Высказывания А, В, С являются истинными $A = 1$, $B = 1$, $C = 1$. Ложные высказывания иллюстрируются следующими примерами: A_1 — $2 \times 2 = 5$; B_1 — вес тела измеряется мерой длины; C_1 — Токио — столица Китая, т. е. $A_1 = 0$; $B_1 = 0$; $C_1 = 0$.

Итак, если высказывание истинно, оно имеет значение истинности, равное «1», а если оно ложно, то имеет значение истинности, равное «0».

Алгебра логики изучает различные логические зависимости между высказываниями. Алгебра логики представляет собой алгебру, которая оперирует только двумя значениями: истинно («1») и ложно («0»).

В алгебре логики имеются три основные логические операции (функции):

1) логическое умножение («И»);

2) логическое сложение («ИЛИ»);

3) логическое отрицание («НЕ»).

В зависимости от реализуемой задачи применяются комбинированные логические операции. В результате таких комбинаций получаются новые сложные высказывания.

Уравнения алгебры логики показывают, из каких логических операций и какими элементами можно образовать устройство, решающее заданную задачу.

Математический аппарат алгебры логики позволяет найти такое схемное решение, при котором число логических элементов минимально.

В логических устройствах высказывания-аргументы представляются входными сигналами, а высказывания-функции выходными сигналами.

Логические функции выражают зависимость выходных сигналов A или переменных величин X от входных сигналов (a, b, c, ..., n). Входные и выходные сигналы могут иметь разную физическую сущность, но принимают лишь два значения: «0» или «1».

Рис. 2. Символическое изображение логических элементов схемы совпадения (И), собирательная (ИЛИ) и инвертор (НЕ).

На базе простейших высказываний могут быть синтезированы любые сложные логические высказывания.

Между входами и выходом логического элемента существует определенное соотношение в зависимости от логической операции, которую он должен выполнить.

Алгебра логики предусматривает условное обозначение отдельных логических элементов, не связанных с какой-либо конкретной схемой. Поэтому при решении практических задач часто отпадает необходимость в вычерчивании принципиальной схемы логических элементов с изображением триодов, сопротивлений, конденсаторов и других деталей.

На рис. 2 приведены условные изображения схем, реализующих основные логические операции: «И» (схемы совпадения), «ИЛИ» (собирательной) и «НЕ» (инвертора). Здесь входящие стрелки показывают сигналы, которые поступают на вход схемы логического элемента, выходящие стрелки — сигналы после реализации логических операций.

Рассмотрим основные связи между простыми высказываниями.

2. Логические операции

Логическое умножение («И»). Операцию логического умножения выполняют над двумя и более высказываниями. Эту операцию обозначают знаком X или $\wedge$.

В результате операции логического умножения получается новое сложное высказывание, которое принимает истинное значение тогда, когда его составляющие высказывания истинны, и ложно, если хотя бы одно составляющее высказывание ложно.

Таблица 1

Входные переменные		Выход
a	b	A
0	0	0
1	0	0
0	1	0
1	1	1

Логическое умножение не отличается от обычного алгебраического. Операция логического умножения имеет математическое выражение $A = ab$. Читается оно так: A равно a и b; если $a = 1$, $b = 1$, то $ab = 1 \cdot 1 = 1 = A$; когда $a = 0$, $b = 1$, то $A = a \cdot 1 = 0$, или $a = 1$, $b = 0$, $A = 1 \cdot 0 = 0$.

Иначе говоря, выход равен единице, если все входы элемента равны единице, и равен нулю, если один из входов равен нулю.

Элемент, реализующий логическую функцию «И», дает сигнал на выходе в том случае, когда есть сигналы на всех входах.

Указанные свойства логического умножения сведены в табл. 1.

Логическое умножение может состоять не из двух, а из нескольких сомножителей.

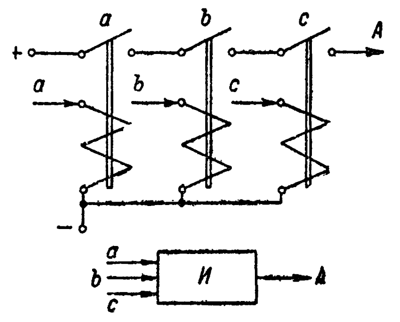


Рис. 3. Схема «И» на реле.

В электрической схеме элемент, реализующий логическую операцию «И», по своему действию аналогичен цепи, состоящей из последовательно включенных контактов реле (рис. 3).

Цепь замыкается тогда, когда замкнуты все контакты: $A = abc$.

Выражение *abc* указывает, что одновременно имеются все три сигнала, и оно должно читаться так: «*aИbИc*». Отсюда название — логическое умножение «И».

Устройство, реализующее операцию логического умножения, рассмотрено на стр. 28—32.

Схема «И» имеет несколько входов и один выход, на котором сигнал получается только при совпадении сигналов на всех входах схемы. Поэтому иногда схему «И» называют схемой совпадения.

Логическое сложение «ИЛИ». Под логическим сложением понимают сложное высказывание, которое истинно, если истинно хотя бы одно из составляющих его высказываний, и ложно, если все высказывания ложны.

Таблица 2

Входные переменные		Выход
a	*b*	*A*
0	0	0
1	0	1
0	1	1
1	1	1

В табл. 2 приведены указанные свойства логического сложения.

Логическое сложение обозначается знаком V или + и читается так: *a* или *b*. Оно может быть записано так:

$$a + b = A,$$

где a и b — входные сигналы, A — выходной сигнал.

Из табл. 2 видно, что

$$0 + 0 = 0;$$
$$1 + 0 = 1;$$
$$1 + 1 = 1;$$
$$0 + 1 = 1.$$

В логической операции «ИЛИ» сумма любого числа единиц считается равной единице. Логический элемент, реализующий операцию сложения, имеет несколько входов и один выход.

Аналогией рассматриваемой логической операции могут служить следующие примеры:

1. Электрическая цепь, содержащая несколько параллельных контактов реле. При замыкании одного из них на нагрузке появляется напряжение (рис. 4):

$$A = a + b + c.$$

2. При нажатии кнопки *a* лифт поднимается на второй этаж, а при нажатии кнопки *b* — на третий этаж.

Обозначив сигнал движения символом A, получим логическое сложение:

$$a + b = A.$$

Логическая связь «ИЛИ» разрешает приходить сигналу от любого источника на общий выход и исключает воздействие этих сигналов друг на друга. Выходной сигнал будет равен A и в том случае, если получен даже один входной сигнал a ИЛИ b.

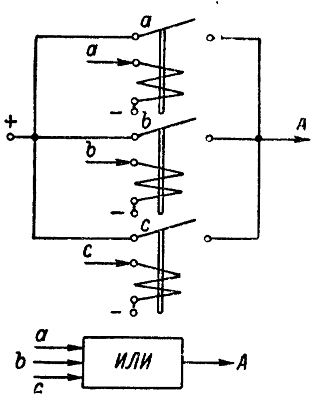


Рис. 4. Схема «ИЛИ» на реле.

Логическое отрицание («НЕ»). Логическая операция отрицания преобразует истинное высказывание в ложное, а ложное в истинное. Выход всегда противоположен входу, т. е. переменная принимает противоположное значение.

Эту операцию обычно обозначают чертой над буквой: $A = \bar{a}$, что читается так: A не есть a.

В табл. 3 приведены логические свойства отрицания.

Указанные в табл. 3 условия выражают следующие свойства логического отрицания: единица есть (равно) нуль, отрицание нуля есть (равно) единица. Если $a = 1$, то $A = 0$, и наоборот.

Таблица 3

Входные переменные	Выход
a	A
1	0
0	1

Логическое отрицание в электрической цепи по своему действию аналогично реле с нормально замкнутыми контактами. При подаче напряжения на реле контакты его размыкаются (рис. 5).

Кроме трех рассмотренных логических операций, применяются производные от них с более сложной логической связью. Такими логическими операциями являются запрет, равнозначность и отрицание равнозначности и др.

Логическая операция «запрет» («НЕТ»). Под запретом понимается логическая операция, в которой одно из двух высказываний, если оно появляется, запрещает другое.

Сложное высказывание А равно единице, если одно высказывание a равно единице, а другое, запрещающее b равно нулю (рис. 6). Эта логическая операция характеризуется выражением: $A = ab$.

Значения истинности запрета приведены в табл. 4.

Элемент, реализующий логическую операцию «запрет», имеет два входа. Из таблицы видно, что выход его равен единице, если один вход равен единице, а другой, запрещающий, — нулю.

Логическая операция запрета («НЕТ») по своему действию аналогична электрической цепи, изображенной на рис. 6, *в*.

Равнозначность двух высказываний. Данная логическая операция — это сложное высказывание от двух переменных, которое истинно только тогда, когда оба высказывания истинны или ложны одновременно. Для обозначения этой логической операции пользуются символом $\leftrightarrow$ или символом $\sim$:

$$A = a \sim b = a \leftrightarrow b,$$

что читается так: a равнозначно b.

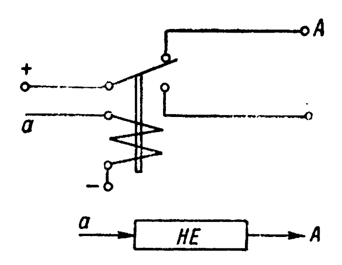


Рис. 5. Схема «НЕ» на реле.

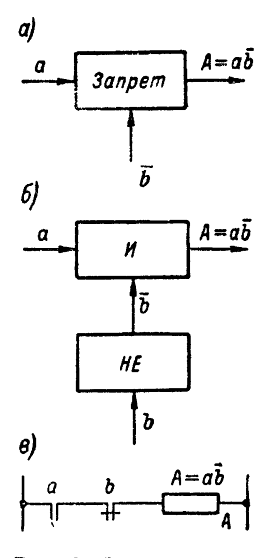


Рис. 6. Схемы «запрета»: *а* — условное обозначение; *б* — функциональная схема; *в* — релейно-контактная.

В табл. 5 приведены значения истинности равнозначности двух высказываний.

Из таблицы видно, что выход элемента, реализующего операцию равнозначности, равен единице, если оба входа равны между собой, и выход равен нулю, если входы не равны между собой.

Таблица 4

Входные переменные		Выход
a	b	A
0	0	0
1	0	1
0	1	0
1	1	0

Таблица 5

Входные переменные		Выход
a	b	$a \sim b = A$
0	0	1
1	0	0
0	1	0
1	1	1

Логическая функция равнозначности может быть записана в виде:

$$A = a \leftrightarrow b = ab + \bar{a}\bar{b}.$$

Поскольку формула дана без доказательств, удовлетворимся лишь ее проверкой. Действительно, если подставить в формулу значение переменных a и b, то получим

$$A = 0 \cdot 0 + 1 \cdot 1 = 1, \quad a = 0,\ b = 0;$$
$$A = 1 \cdot 0 + 0 \cdot 1 = 0, \quad a = 1,\ b = 0;$$
$$A = 0 \cdot 1 + 1 \cdot 0 = 0, \quad a = 0,\ b = 1;$$
$$A = 1 \cdot 1 + 0 \cdot 0 = 1, \quad a = 1,\ b = 1.$$

Из приведенных выражений видно, что операция равнозначности реализуется посредством двух операций «И»,

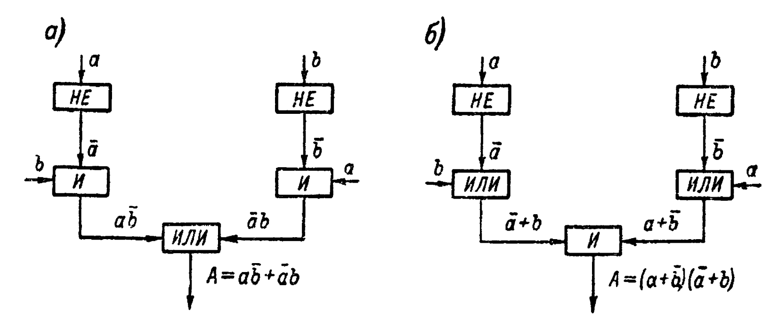


Рис. 7. Функциональные схемы операции равнозначности: *а* — из двух элементов «НЕ», «И» и одной «ИЛИ»; *б* — из двух элементов «НЕ», «ИЛИ» и одной «И».

двух операций «НЕ» и одной операции «ИЛИ» (рис. 7, *а*), и, как показано на стр. 71, может быть реализована при помощи двух схем «ИЛИ», двух схем «НЕ» и одной схемы «И» (рис. 7, *б*) (см. стр. 71).

Импликация («ЕСЛИ—ТО»). Импликация объединяет два высказывания, которое ложно только тогда, когда первое высказывание истинно, а второе — ложно. В этой логической операции объединяются высказывания, не связанные между собой по смыслу. Они рассматриваются только с точки зрения их свойств быть истинными или ложными. Импликация обозначается символом $a \to b$ и читается так: «если a, то b». Логическая функция импликации характеризуется условиями $A = a \to b$; $A = \bar{a} + b$.

Импликации двух высказываний приведены в табл. 6.

Таблица 6

Входные переменные		Выход
a	b	A
0	0	1
1	0	0
0	1	1
1	1	1

Из таблицы видно, что сигнал на выходе элемента, реализующего импликацию отсутствует тогда и только тогда, когда имеется сигнал на входе a и отсутствует на входе b. Если к логическим операциям, рассмотренным в § 2, 3, 4 и 6, применить операцию логического отрицания, то получим новые логические операции.

Отрицание логического сложения. Отрицание логического сложения есть сложное высказывание, которое истинно только тогда, когда ложны оба входящие в него высказывания. Рассматриваемую операцию часто называют логической операцией «НИ — НИ» (операция Пирса). Отрицание логического сложения математически характеризуется выражением $A = \overline{a + b}$.

Таблица 7

Входные переменные		Выход
a	b	A
0	0	1
1	0	0
0	1	0
1	1	0

В табл. 7 приведено отрицание логического сложения двух высказываний.

Из таблицы видно, что $A = 1$, $\bar{a} = 1$ ($a = 0$); $\bar{b} = 1$ ($b = 0$). Выход элемента, реализующего эту операцию, равен единице, если ни один из входов не равен единице.

Логическая операция «НИ — НИ» по своему действию аналогична электрической цепи, составленной из нескольких последовательно включенных нормально замкнутых

контактов реле (цепь замкнута, если ни на одно реле не подан сигнал).

Отрицание логического умножения. О т р и ц а н и е   л о г и ч е с к о г о   у м н о ж е н и я есть сложное высказывание, которое ложно только тогда, когда истинны оба входящие в него высказывания. В табл. 8 приведено отрицание логического умножения, выражаемое следующим образом:

$$A = \overline{ab}.$$

Таблица 8

Входные переменные		Выход
a	*b*	*A*
0	0	1
1	0	1
0	1	1
1	1	0

Из таблицы видно, что A равно нулю только в случае, когда a и b равны единице. Логическую операцию отрицания логического умножения иногда называют операцией Шеффера.

Отрицание равнозначности. Логическая операция о т р и ц а н и я   р а в н о з н а ч н о с т и осуществляется с помощью связей отрицания и равнозначности. Отрицание равнозначности для двух высказываний принимает значение истинности, когда одно из высказываний истинно, а другое ложно.

Таблица 9

Входные переменные		Выход
a	*b*	*A*
0	0	0
1	0	1
0	1	1
1	1	0

Эта логическая операция обозначается символами $\overline{\leftrightarrow}$ или $\overline{\sim}$ и записывается так: $A = a \mathbin{\overline{\leftrightarrow}} b$, или $A = a \mathbin{\overline{\sim}} b$.

Рассматриваемые выражения читаются так: истинность высказывания A есть истинность того, что a неравнозначно b.

Значения истинности отрицания равнозначности определяются табл. 9.

Математическое выражение для логической операции отрицания равнозначности имеет вид:

$$A = a\bar{b} + \bar{a}b = (a + \bar{b})(a + b) = (ab) + (ab),$$

что подтверждается подстановкой различных комбинаций значений a и b.

Логическая операция отрицания равнозначности по своему действию аналогична электрической схеме, в которой на выходе появляется сигнал, если входной сигнал

подан только на один из двух входов. При одновременном поступлении сигналов на входы электрической схемы на выходе схемы сигнала не будет.

Логическую операцию отрицания равнозначности иногда называют операцией неравнозначности.

Нами рассмотрены операции, которыми чаще всего приходится пользоваться при решении задач в области автоматизации измерительной и вычислительной техники. Следует заметить, что из двух простых высказываний можно образовать 16 различных видов сложных высказываний.

Переключательные функции. Логические элементы широко применяются в переключательных цепях.

Переключательной цепью принято называть дискретно действующее устройство, в которое поступают входные и от которого могут быть получены выходные сигналы, имеющие лишь два значения. Переключательная цепь состоит из логических элементов, комбинация которых позволяет реализовывать логические функции.

Математическое выражение, характеризующее зависимость выходного сигнала переключательной цепи от ряда одновременно приложенных входных сигналов, называется переключательной функцией. Одна и та же переключательная функция может быть реализована различными переключательными цепями.

Построение наиболее простой переключательной цепи, реализующей заданную переключательную функцию, достигается на основе законов алгебры логики. Для получения желательной переключательной цепи строится функциональная схема заданной переключательной функции.

3. Основные законы алгебры логики

Законы алгебры логики и вытекающие из них правила позволяют преобразовывать и упрощать логические выражения. При преобразовании логических выражений остается без изменения взаимосвязь между входными и выходными сигналами.

Каждое преобразованное логическое выражение представляет физическое изменение состава логических элементов без изменения их логических функций (содержания). Реализация всех преобразований осуществляется путем операций: логического умножения (ab), логического сложения ($a + b$) и отрицания (инверсии).

Рассмотрим основные законы алгебры логики.

Переместительный закон. Согласно этому закону для логической суммы и произведения порядок расположения переменных безразличен:

для сложения $a + b = b + a$,

для умножения $ab = ba$.

Сочетательный закон. Данный закон устанавливает, что результат последовательности сложения переменных или умножения их не зависит от порядка этих действий:

для сложения $a + b + c = (a + b) + c$,

для умножения $(ab)c = (ac)b = (cb)a$.

Распределительный закон. По распределительному закону общий множитель можно выносить за скобки, как в обычной алгебре:

для сложения $ab + ac = a(b + c)$......(1)

для умножения $(a + b)(c + b) = ac + b$........(2).

Из выражения (1) видно, что для реализации левой части равенства необходимо иметь две связи «И» и одну связь «ИЛИ». Для правой части равенства, где за скобку вынесено a, нужна одна связь «ИЛИ» и одна связь «И».

Необходимо помнить, что произведение одноименных высказываний по закону логического умножения равно самому высказыванию, т. е. $aaa = a$, что и видно на примере распределительного закона.

Переместительный, сочетательный и распределительный (для сложения) законы соответствуют аналогичным законам алгебры.

Правила вынесения отдельных членов за скобки, раскрытие скобок, сложение и умножение многочленов в алгебре логики соответствуют правилам обычной алгебры.

Закон инверсии (правило Моргана — Шеннона). Этот закон устанавливает, что отрицание логического сложения равносильно произведению отрицаний слагаемых и, наоборот, отрицание логического умножения равносильно сумме отрицаний сомножителей. Закон инверсии встречается только в алгебре логики:

для сложения $\overline{a + b} = \bar{a}\bar{b}$......... (3)

для умножения $\overline{ab} = \bar{a} + \bar{b}$........ (4).

Правые и левые части выражений (2) и (3) принимают значение 0 при $a = b$, так как если $a = 1$, то $\bar{a} = 0$.

Ниже приведена табл. 10, которая на основе законов логического умножения, сложения и отрицания показывает справедливость равенств (3) и (4).

Таблица 10

a	b	$\bar{a}$	$\bar{b}$	$a+b$	$\overline{a+b}$	$\bar{a}\bar{b}$	ab	$\overline{ab}$	$\bar{a}+\bar{b}$
1	1	0	0	1	0	0	1	0	0
1	0	0	1	1	0	0	0	1	1
0	1	1	0	1	0	0	0	1	1
0	0	1	1	0	1	1	0	1	1

Электрической интерпретацией рассмотренных законов алгебры логики могут служить релейно-контактные схемы.

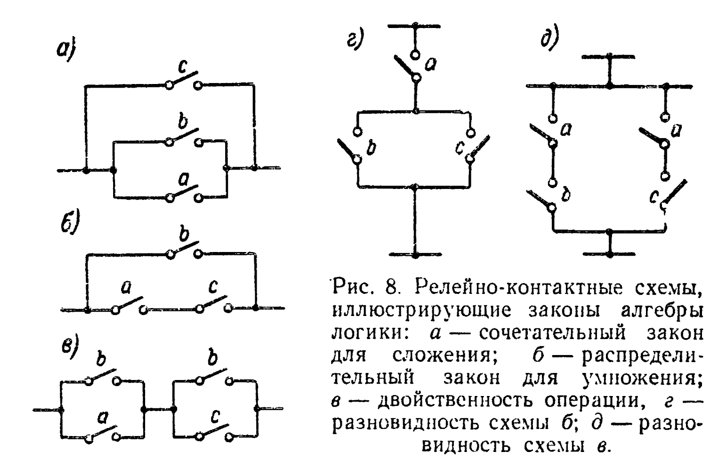


Рис. 8. Релейно-контактные схемы, иллюстрирующие законы алгебры логики: *а* — сочетательный закон для сложения; *б* — распределительный закон для умножения; *в* — двойственность операции, *г* — разновидность схемы *б*; *д* — разновидность схемы *в*.

Схема на рис. 8, *а* иллюстрирует сочетательный закон для сложения, реализуя функцию $(a+b)+c$.

Распределительный закон для умножения иллюстрируют схема на рис. 8, *б*, реализующая функцию $(ac+b)$, и схема на рис. 8, *в*, реализующая функцию $(a+b)(c+b)$.

На основе рассмотренных законов логики выведены преобразования логических функций (двойственность, склеивание и поглощение), которые позволяют существенно упростить сложные логические зависимости.

Двойственные операции позволяют логическое сложение заменить логическим умножением и, наоборот, символом

двойственности является $\rightleftarrows$.

$$(ab+bc+ac) \rightleftarrows (a+b)(b+c)(a+c); \quad (4)$$

$$(\overline{a+b})\,ab \rightleftarrows \overline{ab}+(a+b);$$

$$ab+cd \rightleftarrows (a+c)(a+d)(b+c)(b+d).$$

Выражение (4) используется для перехода от логической схемы «ИЛИ — И» к логической схеме «И — ИЛИ».

При склеивании функций по переменной a можно получить следующее выражение:

$$Aa+A\bar{a}=A\underbrace{(a+\bar{a})}_{1}=A.$$

Суть операции элементарного поглощения сводится к поглощению одним членом выражения A другого более сложного AB:

$$AB+A=A(B+1)=A.$$

Приведем несколько простейших примеров, в которых на основе законов алгебры логики вытекает ряд равносильностей, позволяющих сократить логические выражения.

Если $a=1$, то $\bar{a}=0$.

Сложим почленно:

$$a+\bar{a}=1,$$

а затем умножим почленно:

$$a\bar{a}=0,$$

$$a^n=aa...a;\ a^n=a;$$

отсюда

$$a+1=1,$$

$$a+0=a.$$

Следствие:

$$(a+b)a=a;\ (\bar{a}+b)\bar{a}=\bar{a};\ a+\bar{a}b=a+b.$$

Справедливость рассмотренных предложений вытекае из операций логического сложения и умножения:

$$(a+b)a=aa+ab=a(1+b)=a,$$

$$(\bar{a}+b)\bar{a}=\bar{a}\bar{a}+\bar{a}b=\bar{a}(1+b)=\bar{a}.$$

На основании распределительного закона

$$a+\bar{a}b=(a+\bar{a})(a+b)=1(a+b)=a+b,$$

так как

$$a + \bar{a} = 1.$$

Если реализовать выражение $(\bar{a} + b)(a + \bar{b})$, то потребуется не менее трех элементов: «И — НЕ» — 2 и «ИЛИ»—1.

Преобразовав указанное выражение в значение $(ab + \bar{a}\bar{b})$, для его реализации достаточно будет двух элементов «ИЛИ—НЕ».

Ниже обобщены рассмотренные правила преобразования одних простых функций через другие.

1. $a + 1 = 1$.
2. $a + 0 = a$.
3. $a + \bar{a} = 1$.
4. $a \cdot 0 = 0$.
5. $a\bar{a} = 0$.
6. $a + a + a + \ldots + a = a$.
7. $aaa \ldots a = a$.
8. $a \cdot 1 = a$.
9. $a(a + b) = a$.
10. $\overline{ab} = \bar{a} + \bar{b}$.
11. $a + \bar{a}b = a + b$.
12. $\bar{a} + a\bar{b} = \bar{a} + \bar{b}$.
13. $ab + ac = a(b + c)$.
14. $(a + b)(a + c) = a + bc$.
15. $(\bar{a} + \bar{b})(a + b) = a\bar{b} + \bar{a}b$.
16. $(a + \bar{b})(\bar{a} + b) = \bar{a}\bar{b} + ab$.

Выше мы рассмотрели приемы замены одной части формулы равнозначащей другой, применяемые в математической логике. Физический смысл этих приемов можно представить на контактных схемах. Например:

1. $a = \bar{a}$. Двойное отрицание равносильно утверждению: «Контакт не незамкнут», т. е. он замкнут.

2. $a + a + a = a$. Две и больше параллельных кнопок (a) ведут себя так же, как одна кнопка.

3. $a \cdot 0 = 0$. Если в последовательной цепи есть постоянный разрыв (0), то при замыкании или размыкании контакта (a) ток в цепи не течет (0).

4. $ab + ba$. Если поменять местами контакты в последовательной цепи, то ток потечет, если цепь замкнута.

5. $a(b + c) = ab + ac$. Равнозначность этих равенств наглядно видна из рис. 8, *г* и 8, *д*.

6. $b + ac = (b + a)(b + c)$. Схема на рис. 8, *б* равноценна схеме на рис. 8, *в*.

Из рассмотренных выражений видно, что любые сложные функции переменных a, b, c могут быть представлены в форме выражения, где переменные (a, b, c) и их инверсии ($\bar{a}$, $\bar{b}$, $\bar{c}$) объединены логическими операциями умножения и сложения.

Наиболее распространенные логические формулы приведены в сводной табл. 11.

Таблица 11

Наименование логической функции	Содержание логической функции	Функциональная формула
«И»	Сигнал на выходе появляется тогда, когда имеются сигналы на всех входах одновременно	$A = abc$
«ИЛИ»	Сигналы на выходе появляются тогда, когда имеется сигнал на одном из ее входов или имеются сигналы на нескольких или на всех входах	$A = a + b + $ $+ c$
«НЕ»	Выходной сигнал имеет полярность, противоположную полярности входных сигналов	$A = \bar{a}$
«Запрет» с разрешающими и запрещающими сигналами	При отсутствии сигнала на входе запрета b на выходе появляется сигнал одновременно с сигналом на входе a	$A = \bar{a}b$
Функция Шеффера (несовместимость)	Сигнал на выходе отсутствует, если поданы сигналы одновременно на всех входах	$A = \overline{ab} =$ $= \bar{a}_1 + \bar{b}$
Импликация	Сигнал на выходе отсутствует, если имеется сигнал на входе a и отсутствует на входе b	$A = \bar{a} + b =$ $= a \rightarrow b$
Равнозначность (эквивалентность)	Сигналы на выходе имеются тогда, когда одновременно имеются или отсутствуют входные сигналы	$A = ab + \bar{a}\bar{b}$, $A = a \sim b$
Неравнозначность	Сигналы на выходе имеются тогда, когда только на одном из входов имеются сигналы	$A = a\bar{b} + \bar{a}b$, $A = a \eqsim b$

В табл. 12 приведены примеры представления логических формул в виде функциональных схем.

Таблица 12

№ пп	Логические формулы	Функциональные схемы (символическое обозначение)
1	$A = a(a + b)$	
2	$A = a(\bar{b} + \bar{c})$	
3	$A = ab + \bar{a}c$	
4	$A = a(b + c) + bc$	
5	$A = a\bar{b} + \bar{a}(b + c)$	

ГЛАВА ВТОРАЯ

СХЕМЫ ОСНОВНЫХ ЛОГИЧЕСКИХ ОПЕРАЦИЙ

4. Особенности работы полупроводниковых приборов в режиме переключений

Работа логических элементов на полупроводниках происходит под действием сигналов, скачкообразно меняющих свой потенциал от уровня нуля до уровня единицы. Нулевой сигнал близок к потенциалу земли, а сигнал единицу

достигает порядка нескольких вольт. Благодаря дискретному изменению уровня сигналов полупроводниковые приборы могут работать в режиме переключения, т. е. в таком режиме, когда сопротивление цепи должно меняться от нуля до бесконечности при соответствующей величине и полярности приложенного напряжения.

Такими свойствами обладают полупроводниковые диод и триод, к рассмотрению которых мы и перейдем.

Диоды. На диодах могут быть осуществлены всевозможные логические операции, за исключением инверсии (изменения фазы — полярности — выходного напряжения).

В переключательных схемах чаще всего используются германиевые или кремниевые диоды. Диоды обладают односторонней проводимостью.

Идеальный диод имеет почти бесконечно большое сопротивление для тока отрицательного направления и весьма малое сопротивление для тока положительного направления. Это свойство во многом напоминает свойства контактов реле.

При срабатывании реле контакты его замыкаются, и сопротивление их равно нулю. В обесточенном состоянии реле контакты размыкаются, и сопротивление их бесконечно.

Для использования диодов в логических элементах должны быть известны их статические параметры, которые определяются по вольт-амперной характеристике.

Вольт-амперные характеристики выражают зависимость тока $i_д = f(u_=)$, протекающего через диод, от величины и полярности приложенного постоянного напряжения (рис. 9).

Прямая ветвь 0В характеризует зависимость $i_д = f(u_=)$ при напряжении, приложенном в проводящем направлении. Обратная ветвь 0А показывает зависимость $i_д = f(u_{обр})$ при напряжении, приложенном в непроводящем направлении. Как видно из вольт-амперной характеристики, величина прямого сопротивления диода $R_{пр} = u_{пр}/I_=$ уменьшается с возрастанием прямого тока.

Величины прямого и обратного сопротивлений диода зависят от выбора рабочей точки на характеристике:

$$i_д = f(u_=).$$

На рис. 10 приведено семейство типичных вольт-амперных характеристик диодов.

С помощью вспомогательной батареи можно запереть диод так, что его сопротивление станет бесконечным (рис. 11); это равносильно отключению диода от электрической цепи, что аналогично состоянию «0» в дискретном устройстве. В логических элементах управление диодами осуществляется подачей напряжения от вспомогательной батареи или сигналами соответствующей полярности.

Диоды отбираются по статическим характеристикам: прямому и обратному сопротивлениям, максимальному обратному напряжению.



Рис. 9. Вольт-амперная характеристика германиевого диода.

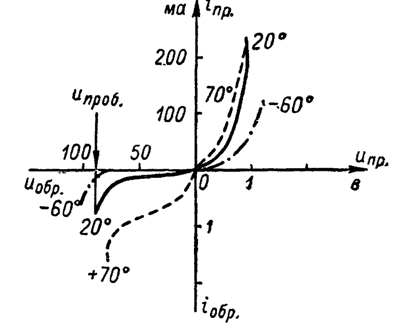


Рис. 10. Семейство вольт-амперных характеристик диодов.

Сигналы, проходящие через диоды, заметно ослабляются, и поэтому перепад напряжения на выходе меньше, чем на входе. Ток, протекающий через диод, не должен превышать допустимой величины для данного напряжения на аноде. Нормальная работа диодов обеспечивается в режимах, когда обратное напряжение не превышает пробивного и когда перегрев их не более допустимого. С повышением температуры величина пробивного напряжения у многих диодов снижается.

Триоды. В логических элементах полупроводниковые триоды (транзисторы) используются в схеме с общим эмиттером, ибо такая схема дает значительное усиление и одновременно меняет фазу напряжения на 180°.

Схемы с общим эмиттером позволяют простым способом осуществлять логические функции и сочетать работу одного логического элемента с несколькими подобными элементами.

Работа транзисторов в логических элементах происходит под действием сигналов, меняющих свой потенциал от уровня нуля до уровня единицы. Транзисторы должны находиться соответственно в режиме отсечки или в режиме насыщения. Эти режимы характеризуются тем, что при переходе рабочей точки из одной области в другую резко меняется их сопротивление от нескольких ом до сотен килоом.

Рассмотрим каскад с общим эмиттером на плоскостном триоде *p-n-p* типа (см. рис. 13, *а*). Исходя из принципа работы транзистора, можно представить, что он состоит из двух диодов: один диод — база-эмиттер, другой — база-коллектор (рис. 12). К первому диоду приложено напряжение в прямом направлении,

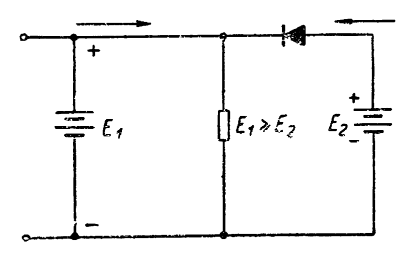


Рис. 11 Схема запирания диода.

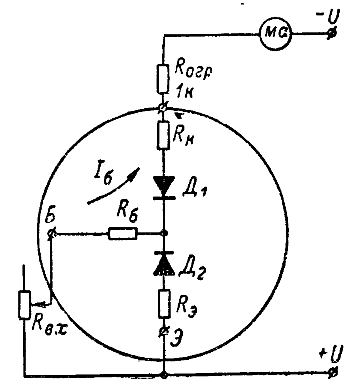


Рис. 12. Эквивалентная схема транзистора.

а ко второму — в обратном. Сопротивление диода база — коллектор зависит от прямого тока, проходящего через диод база — эмиттер. Этот ток, пройдя эмиттерный переход, приоткрывает транзистор и увеличивает ток коллектора. Каждому значению тока базы соответствует одно определенное значение тока коллектора. С изменением тока базы изменяется ток коллектора.

При напряжении на базе, равном нулю или небольшой положительной полярности, ток базы $I_б$ будет равен нулю, а ток коллектора становится весьма малым (неуправляемый ток $I_{к0}$). Сопротивление коллектора — эмиттера резко возрастает. Практически коллектор будет находиться под напряжением источника питания. Это состояние характеризуется как запирание транзистора и называется р е ж и м о м о т с е ч к и. Транзистор можно запирать не только

замыканием базы с эмиттером, но и запирающим напряжением, при этом сопротивление коллектора — эмиттера будет чрезвычайно большим — порядка нескольких десятков и даже сотен килоом.

При поступлении на цепь база — эмиттер сигнала отрицательной полярности транзистор переходит в насыщенный режим. Сопротивление коллектора — эмиттера становится чрезвычайно малым.

Таким образом, имеются две предельные области режима работы транзистора:

1) область отсечки коллекторного тока, когда транзистор заперт напряжением смещения и через него течет только небольшой неуправляемый ток;

2) область насыщения, когда на цепь база — эмиттер подан отрицательный сигнал для транзисторов с *p-n-p* переходом или сигнал положительной полярности для *n-p-n* перехода; при этом через коллектор течет максимальный ток.

Для выбора режима транзистора пользуются их электрическими характеристиками, которыми являются:

а) входная характеристика транзистора, устанавливающая зависимость тока базы ($I_б$) от приложенного к электродам базы — эмиттера напряжения ($U_{бэ}$): $I_б = f(U_{бэ})$; эта характеристика почти не зависит от напряжения на коллекторе — эмиттере;

б) выходная характеристика транзистора, показывающая зависимость тока коллектора ($I_к$) от напряжения коллектора — эмиттера ($U_{кэ}$) при нескольких постоянных значениях тока базы $I_б$:

$$I_к = f(U_к);$$

вид этой характеристики зависит от величины тока базы. Увеличение тока базы больше определенного значения почти не повышает ток коллектора $I_к$.

Отношение приращения токов базы и коллектора внешне выглядит как усиление входного тока:

$$\frac{\Delta I_к}{\Delta I_б} = \beta \approx h_{21}.$$

Усиление тока вызывается тем, что напряжение, приложенное к выводам базы — эмиттера, создает ток в цепи эмиттера. Этот ток благодаря диффузии носителей электрического заряда (электронов или дырок) полностью достигает

коллектора и лишь незначительная часть его ответвляется в цепь базы. Происходит значительное возрастание тока коллектора при небольшом увеличении тока базы транзистора, т. е. увеличение входного сигнала.

Свойства и параметры транзистора в режиме переключения могут быть определены по семейству выходных его характеристик.

На рис. 13, *б* приведено типичное семейство выходных характеристик транзистора, включенного по схеме с общим эмиттером.

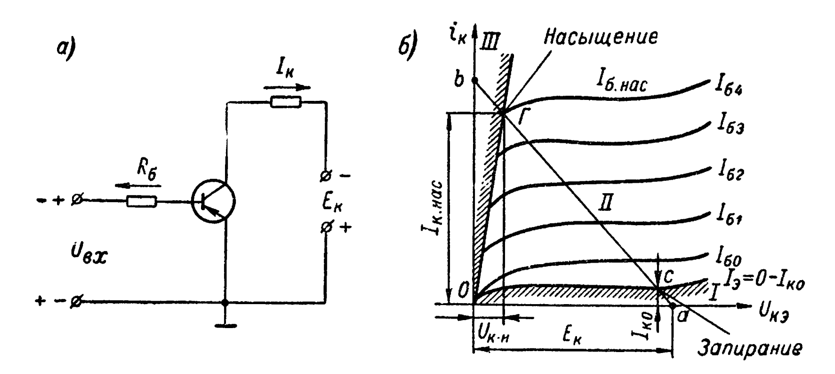


Рис. 13. Применение транзисторов в логических элементах: *а* — транзистор, включенный по схеме с общим эмиттером в ключевом режиме; *б* — семейство выходных характеристик транзистора.

I — область отсечки; *II* — область усиления; *III* — область насыщения.

По оси ординат отложен ток коллектора $I_к$, а по оси абсцисс — напряжение между эмиттером и коллектором $U_{кэ}$. На этом семействе характеристик построены нагрузочная прямая *ab*, котангенс угла наклона которой равен сопротивлению нагрузки $R_н$. Эта прямая имеет две предельные рабочие точки на своих характеристиках: точку отсечки *с* и точку насыщения *Г*.

Когда ток базы равен нулю, транзистор находится в режиме точки *с*. Ток в цепи коллектора отсутствует ($I_к = 0$) и падение напряжения на сопротивлении нагрузки $R_н$ равно нулю. В этом режиме внутреннее сопротивление транзистора очень велико. Напряжение между выводами коллектора и эмиттера ($U_{к-э}$) практически равно источнику питания ($E_к$).

Режим отсечки обеспечивается условием: $U_{вх} > I_{к0}R_б$ при $I_к = I_{к0}$.

В режиме точки *г* транзистор полностью открыт и находится в состоянии насыщения.

Сопротивление цепи коллектор — эмиттер минимально; напряжение источника питания $E_к$ почти полностью приложено к сопротивлению нагрузки $R_н$. В цепи коллектора устанавливается ток $I_к = E_к/R_н$, а ток базы $I_б = I_{б\,нас}$.

Из рассмотренных статических характеристик видно, что транзистор, по существу, является однополюсным выключателем, у которого замкнутое состояние соответствует полностью открытому режиму транзистора, а разомкнутое состояние — полностью запертому. Иначе говоря, транзистор способен фиксировать два состояния: «1» и «0», что соответствует работе логических элементов. Крупным недостатком транзистора, работающего в насыщенном режиме, является то, что после выключения входного тока он некоторое время продолжает оставаться в насыщенном режиме; обычно этот процесс длится примерно 5—10 *мксек*.

Указанное явление физически вызывается тем, что в режиме насыщения накапливается избыточное количество неосновных носителей зарядов. Так как при этом режиме транзистора потенциал коллектора по отношению к эмиттеру мал, то после выключения входного тока, неосновные носители рассасываются в течение некоторого времени, что вызывает дополнительную задержку переключения схемы.

Чем больше ток в цепи коллектора, тем больше количество неосновных носителей, накапливающихся на базе транзистора. Чтобы избежать этого явления, т. е. накопления неосновных носителей, транзистор должен работать в ненасыщенном режиме. Практически же необходимость работы его в таком режиме отпадает, так как большинство логических схем, применяющихся в автоматическом управлении, работает на частотах, не превышающих нескольких десятков килогерц.

Рассмотренные особенности полупроводников (диодов и триодов) реализуются в схемах логических операций. В этих схемах сигналы, поступающие на вход логических операций, по своему действию соответствуют логическим переменным. Зависимость их значения на выходе от сигналов на входе приведена для каждой логической операции

в соответствующих таблицах первой главы, в которых высокий потенциал, или наличие сигнала, обозначен через «1», а низкий потенциал — отсутствие сигнала — через «0».

5. Логические схемы

Схема «НЕ» (инвертор). Логическая схема «НЕ» выполняется на одном транзисторе. В таких схемах фаза сигнала на выходе всегда противоположна (на 180°) фазе сигнала на входе.

На рис. 14 приведена схема «НЕ» на транзисторе. При отсутствии входного сигнала ($a = 0$) на выходе инвертора будет высокое напряжение — $E_к$. При подаче отрицательного входного сигнала ($a = 1$) напряжение на выходе становится равным нулю. Инвертор может работать в режиме отсечки или в режиме насыщения. Схема, реализующая логическую функцию «НЕ», имеет один выход.

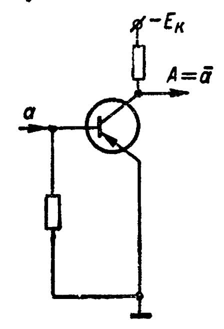


Рис. 14. Логическая схема «НЕ» (инвертор).

Схемы «И». Логическую операцию «И» выполняет схема, пропускающая импульс тока при совпадении его во времени с другим управляющим импульсом.

На выходе схемы «И» появляется импульс тока при совпадении во времени импульсов a и b, поступающих на вход. Если на входе имеется только один из импульсов a или b, то схема его не пропускает (рис. 15, *а*). Схема «И» может быть построена на любое число входов и всегда имеет один выход. Наиболее просто совпадение осуществляется диодно-реостатными схемами. Одна из таких схем, имеющая два входа, изображена на рис. 15, *б*. Условием для нормальной работы схемы является соотношение $R \gg R_1$. Обычно принимается $R \gg (10 \div 20)R_1$, $R_1 = R_2$. При отсутствии сигнала на входах оба диода открыты, и ток, разветвляясь, протекает по параллельной цепи R_1 и R_2. Сопротивления R_1 и R_2 значительно меньше, чем сопротивление R, и падение напряжения на них будет весьма мало. Чем больше величина R по сравнению с R_1, тем ниже при открытых диодах уровень напряжения на выходе. При отсутствии одного из входных сигналов один из двух входных диодов открыт, и так как его прямое со-

противление почти равно нулю, напряжение на выходе логической схемы незначительно; принято считать, что $U_{вых} \approx 0$.

Если на входы диодов $Д_1$ и $Д_2$ одновременно подать импульсы положительной полярности $U_{вх1}$ и $U_{вх2}$, то диоды запираются, ток через них не проходит, и на выходе появится импульс положительной полярности, равный величине E. Следует учесть, что при поступлении сигнала на один вход схемы, на выходе будет небольшое напряжение, которое принято называть помехой. При обратном включении диодов соответственно меняется полярность входных и выходных сигналов.

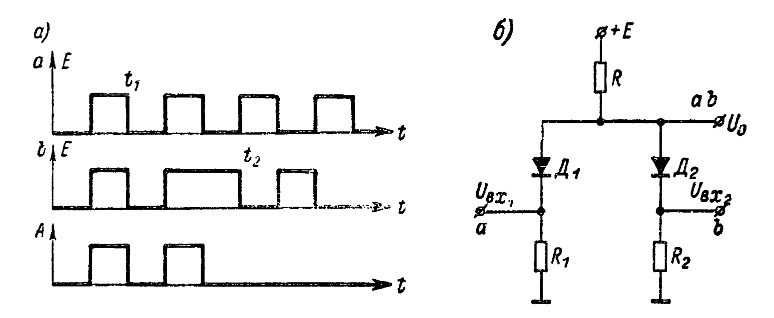


Рис. 15. Временная диаграмма (*а*) и диодно-реостатная схема «И» (*б*).

Для устранения зависимости выходного напряжения от числа поступивших входных импульсов применяют гасящий диод $Д_3$. На анод $Д_3$ подается напряжение E_3, и если приходящий на вход ипульс создает напряжение на катоде $Д_3$, меньшее E_3 ($U_{вых} < E_3$), то диод отпирается и на выходе схемы совпадения появится импульс, равный E_3 (рис. 16, *а*).

Следует учесть, что при большой величине R увеличивается постоянная времени схемы, отчего затягиваются фронты перепадов сигнала, поступающего на следующий каскад, с которым работает диодная схема «И». Логический элемент «И», собранный на диодах, изображенный на рис. 16, *б*, имеет следующие параметры: напряжение питания $E_б = 12$ *в*; нагрузочное сопротивление $R_1 = 1{,}2$ *ком*, $R_2 = 2{,}4$ *ком*; выходное напряжение $U_{вых}$ при отсутствии сигнала на входе не более 0,65 *в*; потребление элементом тока при наличии сигнала на входе $I_б = 3{,}6$ *ма*; при

отсутствии сигнала на входе — 5 ÷ 10 *ма*; рабочая частота — до 5 *кгц*.

Схемы «И» (совпадения) на транзисторах могут быть выполнены при параллельном или последовательном их соединении.

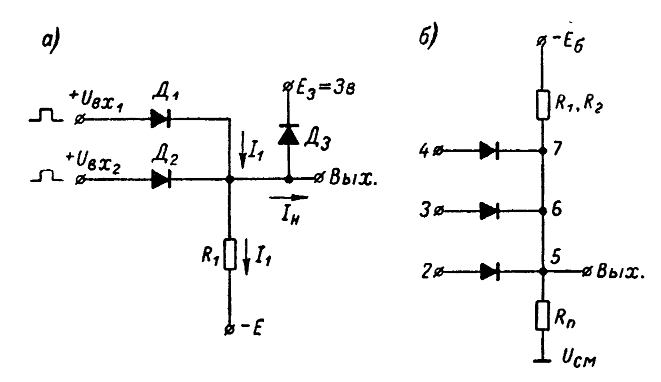


Рис. 16. Диодные схемы: *а* — схема «И» с гасящим диодом $Д_3$, ослабляющим помехи; *б* — диодная приставка схемы «И».

На рис. 17 представлена схема с параллельно соединенными транзисторами на два входа. При отсутствии сигналов оба триода открыты и находятся в состоянии насыщения. Сопротивление между эмиттером и коллектором очень мало. Сопротивление нагрузки $R_н \gg r_{к\text{-}э}$, где $r_{к\text{-}э}$ — сопротивление цепи коллектор — эмиттер открытого триода; потенциал на выходе схемы будет очень мал: $U_{вых} = I_к r_{к\text{-}э}$.

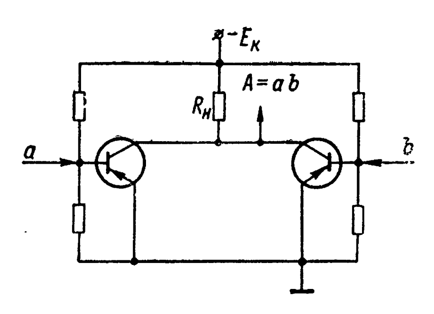


Рис. 17. Схема «И» с параллельным соединением транзисторов.

При поступлении сигналов положительной полярности на базы транзисторов они запираются, и на выходе схемы появляется сигнал. Если сигналы поступают на один из входов, то другой транзистор останется открытым и сопротивление коллектора — эмиттера будет шунтировать схему.

Напряжение на выходе будет очень мало. При одновременном поступлении входных импульсов на базы обоих транзисторов они окажутся запертыми, сопротивление коллектора — эмиттера резко возрастет. На выходе схемы появится импульс напряжения. В рассмотренном случае $r_{к\text{-}э}/2 \gg R_н$. Так как не всегда можно обеспечить полное совпадение входных сигналов во времени, то для многих целей применяют подачу напряжения на один из входов в течение времени следования сигналов.

Недостатком приведенной схемы является помеха, возникающая при поступлении сигнала на один из входов.

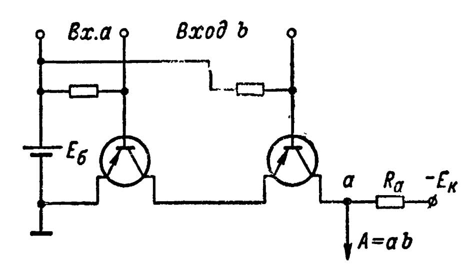


Рис. 18. Схема «И» с последовательным соединением транзисторов.

Если схема совпадения должна иметь большее число входов, то соответственно должно быть включено большое число транзисторов.

На рис. 18 показана схема «И», в которой транзисторы включены последовательно. В этой схеме, по сравнению с предыдущей, входные сигналы должны иметь другую полярность.

При отсутствии входных сигналов все транзисторы заперты напряжением источника смещения $+E_б$ и выходное напряжение равно $-E_к$.

Если напряжение отрицательной полярности поступит на вход одного из транзисторов, то другой транзистор остается запертым и ток не пройдет. Напряжение на выходе остается равным $-E_к$. Как только все входные сигналы отрицательной полярности совпадут, триоды откроются, через $R_н$ потечет ток и на выходе появится импульс положительного знака. Приведенная схема является схемой «И» с инверсией фазы для отрицательных входных сигналов.

Для надежной работы схемы «И» входные сигналы должны иметь амплитуду, достаточную для отпирания транзистора до насыщения или его полного запирания.

В настоящее время распространена диодно-транзисторная схема «И», которая лишена недостатков диодной схемы и имеет достоинства транзисторов. Один из вариантов такой схемы изображен на рис. 19.

Логические операции «И» осуществляются в диодной части, а усиление мощности и двойное инвертирование фазы входных сигналов производятся на транзисторах T_1

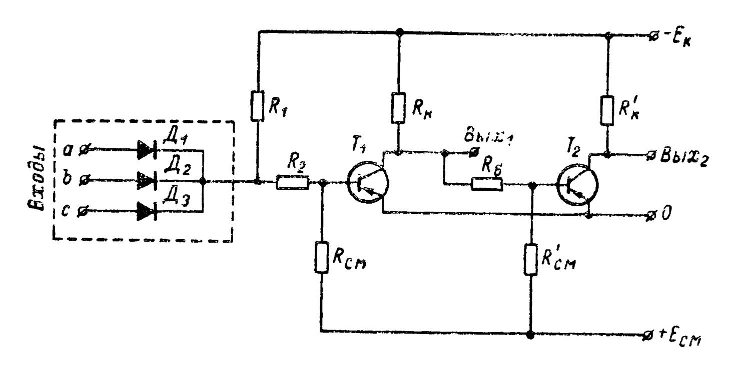


Рис. 19. Диодно-транзисторная схема «И», выпускаемая промышленностью.

и T_2. На выходе транзистора T_1 получаем $A_1 = \overline{abc}$, а на выходе транзистора T_2 — $A_2 = abc = abc$. Схема работает от импульсов отрицательной полярности.

Для уменьшения величины ложного выходного сигнала, который может получиться при отсутствии входного сигнала хотя бы на одном из входов, в эмиттерную цепь вводится необходимое запирающее напряжение.

Основные технические характеристики рассмотренной схемы следующие: напряжение источника питания — 10 *в* ± ± 10%; мощность, потребляемая схемой, — 35 *мвт*; максимальная амплитуда импульсов на входе — 5 *в*; ухудшение длительности фронта импульсов на выходе — не более 0,15 *мксек*; минимальное разрешающее время — 0,2 *мксек*; амплитуда ложного сигнала — не более 0,27 *в*.

Схема (логического сложения) «ИЛИ». Схему логического сложения по своему действию можно рассматривать

как параллельное соединение нескольких нормально разомкнутых контактов.

Напряжение на нагрузке появляется при замыкании любого из контактов. Иначе говоря, на выходе схемы «ИЛИ»

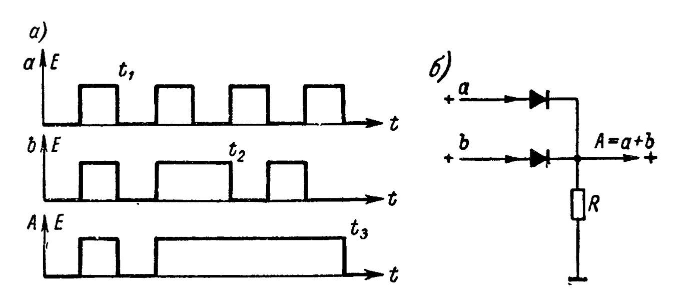


Рис. 20. Временная диаграмма (*а*) и схема «ИЛИ» на диодах (*б*).

появится сигнал, если он поступит на любой из входов схемы рис. 20, *а*. Если на входе нет сигналов, то и на выходе его не будет. Схему «ИЛИ» используют в логических операциях для объединения сигналов, поступающих из разных каналов в один общий канал, т. е. в так называемой с о б и р а т е л ь н о й с х е м е.

На рис. 20, *б* приведена простейшая схема логического сложения, выполненная на диодах. При появлении на любом входе сигнала ток протекает через нагрузку. Следовательно, если хотя бы на один вход будет подан сигнал, то и на выходе также появится сигнал.

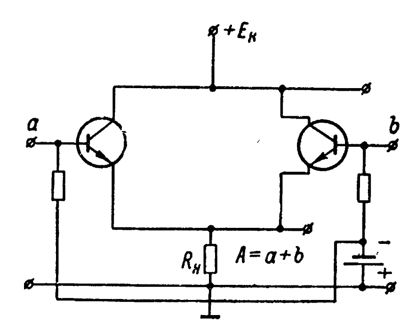


Рис. 21. Схема «ИЛИ» на транзисторах.

Недостатком рассматриваемой схемы является то, что напряжение на ее выходных элементах меньше величины напряжения, поданного на один из его входов. Чтобы избежать этот недостаток, пользуются логической схемой на транзисторах, одна из таких схем приведена на рис. 21.

В исходном состоянии транзисторы здесь заперты и напряжение на выходе очень мало ($U_{вых} \approx 0$). Транзисторы отпираются при поступлении на их базы импульсов положительного знака.

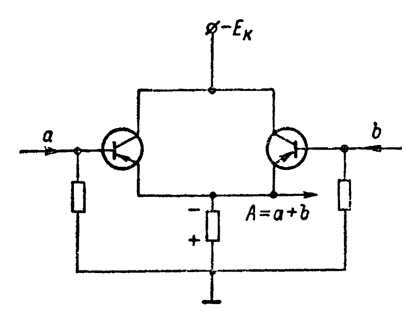


Рис. 22. Схема «ИЛИ» на эмиттерных повторителях.

Аналогичные схемы могут быть выполнены и на большее количество транзисторов.

Схема «ИЛИ» выполняется также на эмиттерных повторителях. Одна из таких схем изображена на рис. 22.

Схема логического элемента «запрет» («НЕТ»). На рис. 23 приведен один из вариантов логической схемы запрета («НЕТ»).

При отсутствии входного сигнала a на базе транзистор заперт, сопротивление коллектора — эмиттера относительно велико. Входной сигнал b, поданный на коллектор транзистора, поступит на выход схемы. Величина выходного напряжения будет зависеть от величины входного сигнала b и сопротивлений R_1 и R_2. Если сигналы a и b поступают одновременно, то транзистор от сигнала a откроется и сопротивление коллектора — эмиттера будет очень мало. Выходное напряжение станет чрезвычайно малым, следовательно, будет реализован запрет сигналом a. Существуют и другие варианты схемы запрета.

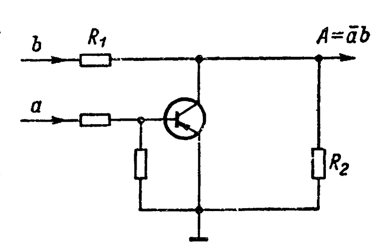


Рис. 23. Схема логического элемента «запрет» («НЕТ»).

Комбинированные логические элементы. Наряду с элементами, выполняющими элементарные логические операции, могут быть построены комбинированные логические схемы, осуществляющие несколько таких операций. Комбинированные логические схемы обычно выполняются на стандартных логических элементах. Примером такого устройства может служить комбинированный элемент «ИЛИ — НЕ» или «ИЛИ—И», «И — НЕ» и другие.

На рис. 24 приведена логическая схема «ИЛИ—И», построенная на диодах, выполняющих сочетание логических операций $A = ab + cd$. Эта схема состоит из двух схем логического умножения «И» ($D_1D_2R_1$ и $D_3D_4R_2$) и схемы логического сложения «ИЛИ» ($D_5D_6R_3$). Сигнал на выходе появится при поступлении на оба входа высоких потенциалов a «И» b «ИЛИ» c «И» d.

На рис. 25 изображена схема комбинированного логического элемента, выполняющего функции «ИЛИ — НЕ»: $A = \overline{a + b}$. Схема выполнена на транзисторе и работает

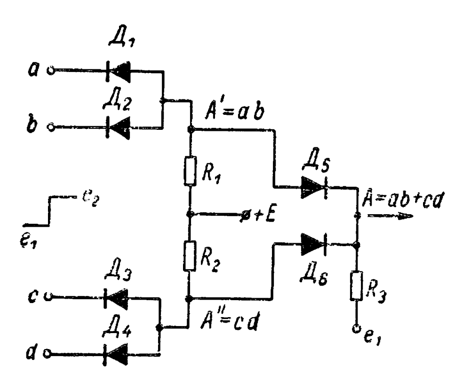


Рис. 24. Схема «ИЛИ — И» на диодах.

как логический элемент типа «НЕ» с несколькими входами. При отсутствии входных сигналов транзистор заперт смещающим напряжением, и на входе будет высокое напряжение. Когда на вход поступит сигнал, транзистор отпирается и выходное напряжение практически станет равным нулю.

Параметры схемы «ИЛИ — НЕ», выпускаемой промышленностью (типа ЭТ-ЛО1) следующие: напряжение питания $+ 6 - 12$ *в*; потребление тока 2×15 *ма*; сопротивление коллекторной нагрузки 820 *ом*; входное сопротивление первого входа при входном сигнале «0» 1,5 *ком*; напряжение сигнала: входной сигнал 0 при трех подключенных входах 0—0,15 *в*; входной сигнал 0 при одном подключенном входе 0—0,85 *в*; входной сигнал «1» 4—12 *в*; выходной сигнал «1» 4—12 *в*; выходной сигнал «0» 0—0,15 *в*.

Логический комбинированный элемент «И — НЕ» (операция Шеффера) выполняет операции $A = \overline{a_1a_2a_3}$, т. е.

сигналы на выходе отсутствуют тогда, когда на всех входах имеются сигналы.

Принципиальная схема элемента «И — НЕ» приведена на рис. 26. Она выполнена на последовательно включенных триодах. При отсутствии сигналов на входе схемы триоды заперты смещением $+E_б$; на выходе схемы будет отрицательное напряжение $-E_к$ и, следовательно, имеется сигнал «1». Когда на выход схемы будут одновременно поданы сигналы сопротивления, транзисторы откроются и на

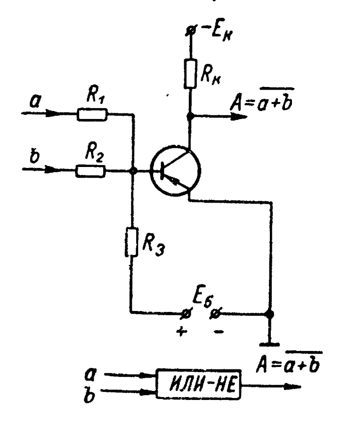


Рис. 25. Схема комбинированного логического элемента «ИЛИ — НЕ».

Рис. 26. Схема комбинированного логического элемента «И — НЕ».

выходе появится сигнал «0». Иначе говоря, сигнал на выходе отсутствует, если имеется сигнал на входе.

Схемы, приведенные на рис. 26 и 25, используются при небольшом числе входов в логических элементах.

На рис. 27 показана комбинированная схема «ИЛИ», она состоит из логического элемента «ИЛИ», выполненного на диодах, и двух соединенных последовательно логических элементов «НЕ», осуществленных на транзисторах. Эта схема выполняет логическое сложение трех сигналов: $a + b + c = A$.

Схема на рис. 28 является комбинированной схемой элемента «И», сочлененной из диодной приставки «И» и двух элементов «НЕ», выполненных на транзисторах. Схема осуществляет логическую операцию $\overline{\overline{abc}} = abc = A$.

Наряду с рассмотренными комбинированными логическими элементами используются многофункциональные элементы, осуществляющие несколько элементарных преобразований.

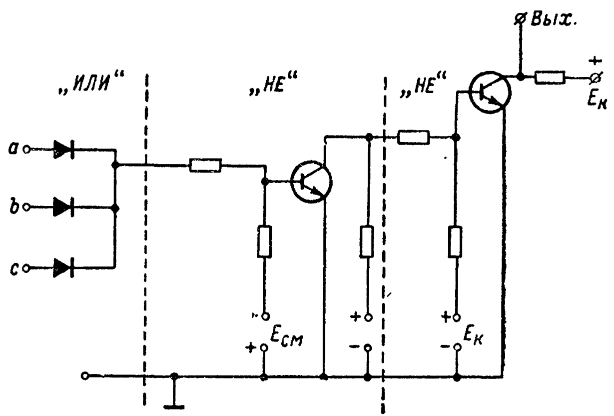


Рис. 27. Комбинированная схема логического элемента «ИЛИ».

На рис. 29 представлена одна из схем функциональных элементов, которая содержит элемент «ИЛИ — НЕ» с добавлением на выходе трех диодов. Рассматриваемая схема

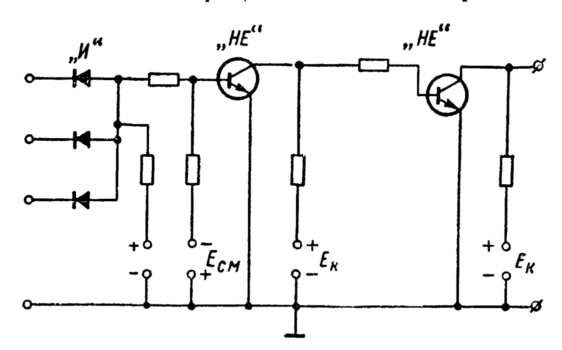


Рис. 28. Комбинированная схема логического элемента «И».

выполняет преобразование вида $A = abc \cdot \overline{def}$, т. е. три логические операции: сложение, инвертирование и умножение. Действительно, если $a = 1$; $b = 1$; $c = 1$, то $A =$

$= d + e + f$. В случае $d = 0$, $e = 0$ и $f = 0$, то $A = abc$, когда $c = 1$, $e = 0$, $f = 0$, то $A = a\bar{b}\bar{d}$. Как видно из схемы, могут быть получены и другие логические преобразования.

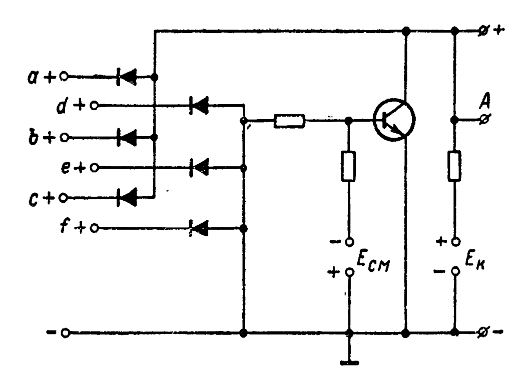


Рис. 29. Многофункциональная логическая схема.

На рис. 30 приведена принципиальная схема одного из вариантов устройства, реализующего операцию отрицания равнозначности. Когда на один из входов подан сигнал $a = 1$, а на другом входе сигнал отсутствует, т. е. $b = 0$,

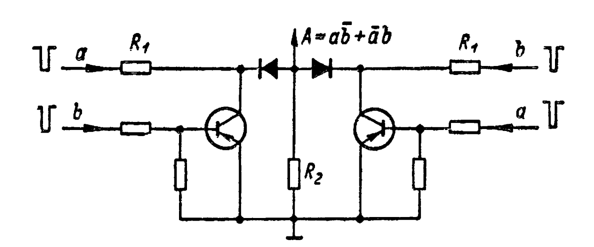


Рис. 30. Принципиальная схема отрицания равнозначности, выполненная на двух транзисторах.

левый транзистор заперт, а с сопротивления R_2 снимается часть выходного сигнала a ($A = 1$). В случае, когда $a = 0$ и $b = 1$, с сопротивления R_2 снимается часть входного сигнала b. При наличии сигналов на обоих входах ($a = 1$ и $b = 1$) оба транзистора открыты. На выходе сигнала не будет, и $A = 0$. Высокое напряжение на выходе будет

только при наличии одного из входных сигналов (a или b). Таким образом осуществляется логическая функция $A = a\bar{b} + \bar{a}b$.

6. Типовые узлы логических элементов

Рассмотрим использование некоторых типовых узлов, выпускаемых отечественной промышленностью в качестве унифицированных элементов. Эти узлы состоят: а) из набора элементов «ИЛИ», «И», «НЕ»; б) из элемента «ИЛИ— НЕ»; в) из элемента «И — НЕ».

С помощью этих узлов может быть реализована любая логическая функция. Функции «ИЛИ», «И» обычно реализуются на диодах, которые заметно ослабляют сигналы и не могут реализовать «НЕ». Поэтому на их выходе установлен усилитель (рис. 31 и 32). Логический элемент «ИЛИ — НЕ» выполняет логическую функцию: $A = a_1 + a_2 + \ldots + a_n$.

Для реализации только одной функции «НЕ» достаточно подать сигнал на один из входов элемента «ИЛИ— НЕ» (рис. 31, *б*).

Рис. 31. Схема реализующая операцию «ИЛИ — НЕ».

На рис. 31, *а* показана реализация основных логических функций с помощью элемента «ИЛИ — НЕ».

Образование элемента «ИЛИ» элементами «ИЛИ — НЕ» для схемы, изображенной на рис. 31, *в*, станет ясно из следующих преобразований: $B = \overline{a_1 + a_2 + a_3}$ и $A = \overline{B + 0 + 0} = \overline{B}$, а следовательно: $A = \overline{\overline{a_1 + a_2 + a_1}} = a_1 + a_2 + a_3$. Возможность замены элемента «И» элементами «ИЛИ — НЕ» (см. рис. 31, *г*) видна из преобразования

$B_1 = \overline{a_1 + 0 + 0} = \bar{a}_1$; $B_2 = \overline{a_2 + 0 + 0} = \bar{a}_2$; $B_3 = \overline{a_3 + 0 + 0} = \bar{a}_3$. Но так как $A = \overline{B_1 + B_2 + B_3} = \overline{\bar{a}_1 + \bar{a}_2 + \bar{a}_3}$, то согласно закону двойственности получим $A = abc$.

На рис. 32, *а* приведен один элемент «И — НЕ». Схема этого элемента состоит из диодной приставки «И» и инвертора, которые осуществляют логическую функцию «НЕ» (рис. 32, *б*). Там же показано, как могут быть осуществлены основные логические операции посредством элемента «И—НЕ».

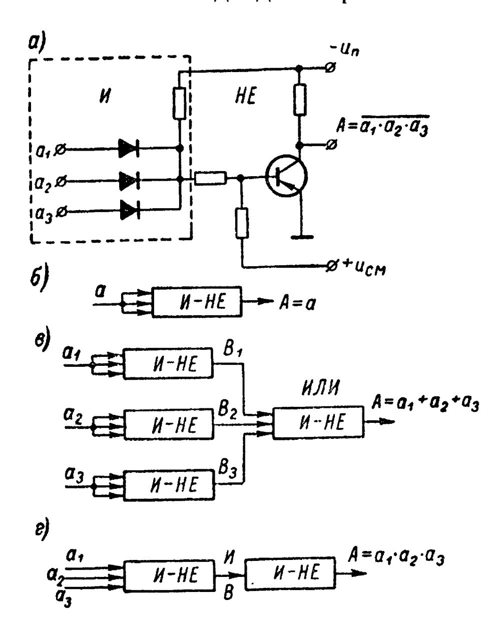


Рис. 32. Схемы, реализующие операцию «И — НЕ».

Схема на рис. 32, *в* выполняет преобразование:

$$B_1 = \bar{a}_1\bar{a}_1, \bar{a}_1 = \bar{a}_1;\ B_2 = \bar{a}_2\bar{a}_2\bar{a}_2 = \bar{a}_2;\ B_3 = \bar{a}_3\bar{a}_3\bar{a}_3 = \bar{a}_3.$$

Следовательно, $A = \overline{B_1 \ B_2 \ B_3} = \overline{\bar{a}_1\bar{a}_2\bar{a}_3} = a_1a_2a_3$, или по закону двойственности $A = a_1 + a_2 + a_3$.

Для схемы, изображенной на рис. 32, *г*, осуществляются преобразования $B = \overline{a_1a_2a_3}$ и $A = B = a_1a_2a_3$.

Функции «НЕ», «ИЛИ», «И» реализуются набором, состоящим из элемента «ИЛИ—НЕ» и диодной приставки «И». Эти же функции могут быть также осуществлены с помощью элементов «ИЛИ — НЕ» и диодной приставки «И».

При построении логических схем необходимо учитывать внутреннее падение напряжения в логических элементах. При переходе от одного элемента к последующему за счет этого падения напряжения уровень сигнала будет уменьшаться. Но так как логические элементы на триодах обла-

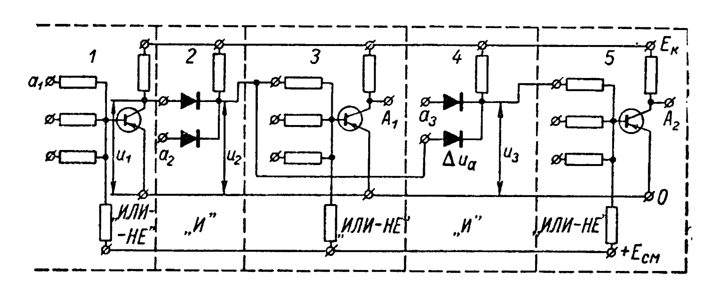


Рис. 33. Типовые узлы логических схем, в которых последовательно с активными элементами присоединены пассивные (диоды).

дают способностью усиливать сигнал по мощности, то практически можно допускать последовательное включение в цепь любого числа активных логических элементов.

Функционирование диодных логических элементов сопряжено с потерей мощности, поэтому последовательное включение большого числа пассивных (диодных) схем без усилителей недопустимо.

На рис. 33 приведен пример соединений типовых узлов логических схем, в которых последовательно с активными усилительными элементами включены пассивные (диоды).

В этой схеме осуществлено последовательное включение диодных приставок «И» через активные элементы «ИЛИ — НЕ».

7. Статический триггер

Схема триггера, по существу, является устройством, состоящим из логических элементов (рис. 34). Триггер используется в системах автоматического управления как элемент памяти и счетной ячейки.

На рис. 34, *б* представлена схема на полупроводниковых триодах, состоящая как бы из двух инверторов, соединенных друг с другом перекрестной связью. Схема представляет собой триггер с двумя раздельными запусками. Триггер имеет два устойчивых состояния: или триод T_1 открыт, а триод T_2 заперт или наоборот: когда триод T_1 заперт, триод T_2 открыт. Переход из одного состояния в другое происходит под действием пусковых импульсов.

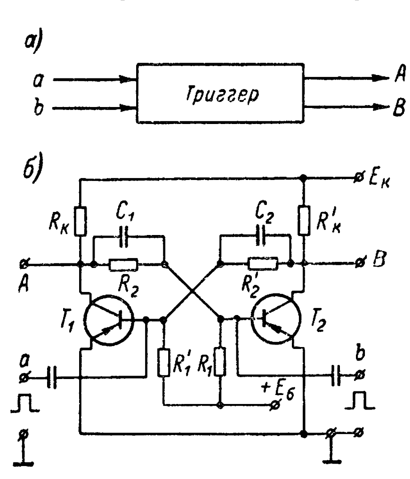


Рис. 34. Триггер с раздельным входом: *а* — условное обозначение; *б* — принципиальная схема.

Рассмотрим работу триггера. Пусть триод T_1 открыт. Напряжение от делителей R_1 и R_2, поступающее к триоду T_2, почти равно нулю, триод T_1 открыт отрицательным напряжением, поступающим с коллектора T_2 через сопротивление R_2. При подаче на вход *а* положительного импульса триод T_1 закрывается. Напряжение на его коллекторе изменяется от нуля до напряжения $E_к$; это приводит к тому, что через цепь R_1C_1 на базу триода T_2 поступает отрицательное напряжение и отпирает его. После этого напряжение на коллекторе T_2 упадет почти до нуля. Падение напряжения на сопротивлении R_1 резко возрастает, вследствие чего на выходе в точке *B* создается относительно низкий потенциал. В таком состоянии триггер остается до прихода на вход *b* следующего положительного импульса. Процесс перехода триггера проходит аналогично рассмотренному выше. Конденсаторы C_1 и C_2 служат для улучшения условий его перехода. В статическом режиме они не влияют на распределение потенциалов в схеме.

После подачи сигнала на вход *а* записанная информация сохраняется вплоть до подачи сигнала на вход *b*.

Логические операции триггера могут быть выражены формулами: $A = A\bar{a} + b\bar{a}$; $B = B\bar{b} + a\bar{b}$. При поступле-

нии на вход триггера импульса $a = 1$ на выходе $A = 0$ и $B = 1$, а при $b = 1$, $A = 1$, и $B = 0$.

Логическая схема триггера представлена на рис. 35. Рассмотрим действие логических элементов в данной схеме.

Пусть сигнал на входах a и b отсутствует, на выходе B имеется единица. По цепи обратной связи эта единица поступит к логическому элементу «ИЛИ» и «НЕ». На выходе A элемента «$НЕ_1$» будет нуль; по другой цепи обратной связи не поступит сигнал и на выходе B останется единица. Если же подать на вход b сигнал, то на выходе «$НЕ_2$» единица будет заменена нулем и на выходе A появится единица. После снятия сигнала на входе b состояние логических элементов не меняется. Если же теперь поступит сигнал на вход a, то пройдя по цепочке «$ИЛИ_1$», «$НЕ_1$», «$ИЛИ_2$» и «$НЕ_2$» на выходе схемы A появится нуль, а на выходе схемы B — единица.

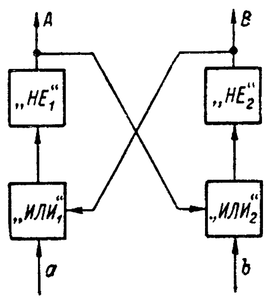


Рис. 35. Логическая схема триггера («память»).

При применении триггера в качестве счетной ячейки необходимы вспомогательные логические элементы «$И_1$» и «$И_2$», что направит входной сигнал от одного источника в соответствующее плечо триггера.

8. Принципы расчета элементов логических схем

Рассматриваемый метод расчета основан на том, что скорость переключения логических элементов значительно больше скорости поступления на вход схемы сигналов, и поэтому нет необходимости рассматривать переходные характеристики и можно ограничиться статическим расчетом. Сущность такого расчета заключается в получении данных, обеспечивающих устойчивое состояние схемы при выполнении ею заданных функций. Эти данные определяются условием запирания и условием отпирания полупроводников — диодов или транзисторов.

Диодные схемы «И» и «ИЛИ». Для расчета примем, что диоды имеют идеализированные характеристики. На рис. 36 приведена схема логического элемента «И». Все диоды схемы заперты отрицательным потенциалом E;

нагрузкой схемы служит сопротивление R. Сигналы на выходе схемы появляются только тогда, когда на вход одновременно поступают сигналы.

Возможны три случая работы рассматриваемой схемы:

1) на входе ее нет сигналов;

2) на одном из входов сигнал есть, а на другом отсутствует;

3) на все входы поданы сигналы.

В первом случае, когда на входе схемы нет сигналов, выходное напряжение схемы (U_{a1}) отличается от $-E$ на величину, определяемую выражением:

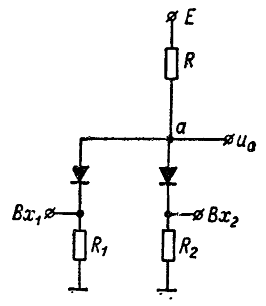


Рис. 36. Схема логического элемента «И» на диодах.

$$U_a = \frac{R_1}{nR + R_1} E,$$

где n — число входов.

В случае подачи положительного сигнала на один из входов, т. е. когда один диод открыт, выходное напряжение будет иметь значение

$$U_a = \frac{R_1}{R + R_1} E.$$

Когда один из диодов открыт, то на выходе схемы появятся помехи. Для уменьшения напряжения сигнал — помеха необходимо брать $R_1 \ll R$. Сигнал на выходе U_a появится при поступлении положительного напряжения на оба входа порядка 1,1—1,3 $E_к$.

Для нормальной работы логической схемы «И», выполненной на диодах, сигнал должен быть усилен.

На рис. 19 представлена диодная схема операции «И» с транзисторным усилителем. Когда на все входы будут поданы сигналы и диоды будут заперты, на базу триода T_1 поступит сигнал. Триод T_1 работает как инвертор («НЕ»), при этом он отпирается, а триод T_2 запирается, и на его выходе появится сигнал

$$U_{вых} \approx E_к.$$

Для обеспечения нормальной работы триода в схеме «И» должно выполняться условие:

$$\left(\frac{E_к}{R_1 + R_2} - \frac{E_{см}}{R_{см}}\right) \beta_{min} = \frac{E_к}{R_к} (2 \div 3),$$

здесь β_{min} — минимальный коэффициент усиления триода; $E_к$ — напряжение питания; $E_{см}$ — напряжение смещения.

Сопротивление $R_{см}$ рассчитывается из условия

$$R_{см} = \frac{E_{см}}{I_{к0}},$$

где $I_{к0}$ — максимальный нулевой ток коллектора при максимальной температуре.

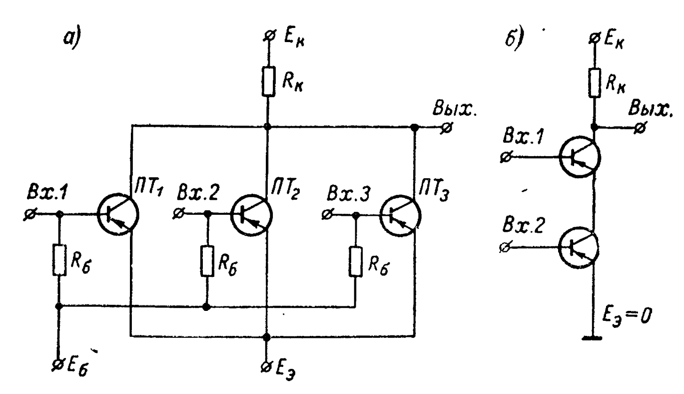


Рис. 37. Схемы логических элементов «ИЛИ».

При подключении n элементов транзистор T_2 будет оставаться в насыщенном режиме при условии

$$E_n = 1{,}5 I_{б\,min} \frac{R'_к R_1}{R_1 + nR'_к},$$

где $I_б$ —ток базы.

Из приведенного выражения найдем

$$R_1 \geqslant \frac{nR'_к E_n}{1{,}5 I_б R'_{к\,min} - E_n}.$$

Схема, изображенная на рис. 22, выполняет логическую функцию «ИЛИ», если входные сигналы имеют отрицательную полярность.

Логические схемы «И», «ИЛИ», образованные на полупроводниковых триодах, могут иметь последовательное (рис. 37, *б*) или параллельное (рис. 37, *а*) соединение повторителей или инверторов.

Для работы схемы «И» необходимо, чтобы триод работал в двух фиксированных режимах. При наличии сигнала

триод должен быть надежно заперт, а при отсутствии его полностью открыт. Соответственно этим режимам триода выбирается амплитуда входного сигнала (рис. 37).

В первом случае, при запертом триоде, напряжение на выходе схемы будет:

$$U_1 = E_к - R_к I_{к0};$$

во втором случае при открытом триоде, напряжение на выходе будет:

$$U_2 = \frac{nR_{эб}}{R_к + nR_{эб}} E_к,$$

где $R_{эб}$ — внутреннее сопротивление эмиттера — базы; n — число входов схемы «И».

ГЛАВА ТРЕТЬЯ

ДИОДНЫЕ МАТРИЦЫ

9. Основные понятия

Простейшей логической схемой является диодная матрица. Д и о д н ы м и м а т р и ц а м и (сетками) (рис. 38) называют такие устройства, в которых схемы совпадения («И»), выполненные на диодах, подключены между горизонтальными и вертикальными шинами как бы в точке их пересечения. Диодная матрица имеет k входов и N выходов, и каждой комбинации сигналов на входе соответствует сигнал на определенном выходе (рис. 39). Диоды размещаются в матрице в соответствии с характером вводимых информаций и требуемых от матрицы выходных решений, т. е. в зависимости от заданной программы.

Диодные матрицы используются для поочередного включения одного из нескольких входных сигналов при одновременном отключении всех остальных. Например, с помощью диодных матриц данные о температуре, давлении, перемещении и других параметрах могут подаваться поочередно на вычислительное устройство, что при большой скорости переключения равносильно одновременному поступлению сигналов от всех датчиков. В каждый отрезок времени только один датчик будет соединен с выходом матрицы.

Диодные матрицы широко применяются для перехода от двоичного счета к десятичному, для дешифровки информации, содержащейся в кодах, и для многих других целей. В соответствии с заданной программой составляется схема диодной матрицы, которая, восприняв любое сочетание двоичной информации, всегда приходит к единственному выводу, требуемому для данного сочетания. Это заключение выражается в виде сигнала, появляющегося на выходе вертикальной шины матрицы.

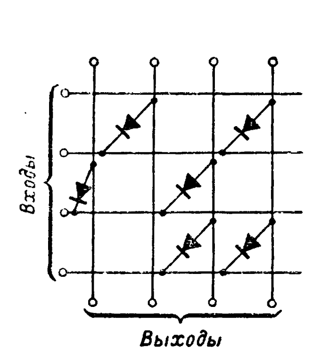


Рис. 38. Изображение диодной матрицы.

Рис. 39. Диодная матрица на два входа (четыре решения), управление которой производится двумя переключателями.

Соединения между горизонтальными и вертикальными шинами осуществляются через диоды так, чтобы выполнялась требуемая логическая операция «И». В каждой вертикальной шине (рис. 39) через сопротивления R_1 — R_4 подается напряжение от общего источника питания $E_б$.

Возможны два случая управления входами матрицы для получения на ее выходе напряжения. В одном случае управляющее напряжение на вход поступает от общего источника питания через соответственно установленный переключатель, а в другом — от триггерных ячеек.

На рис. 39 приведена схема диодной матрицы, управление которой производится двумя переключателями a и b. При положениях переключателей, как показано на схеме, ток проходит по цепи $+E_б$, R_2, a,$-E_б$, а также по цепи $+E_б$, R_4, b, $-E_б$.

Падение напряжения на сопротивлениях R_2 и R_4 достаточно большое, и на зажимах A_2 и A_4 почти не будет

выходного напряжения. Весьма малым будет напряжение и на зажимах A_3, так как ток, протекая по цепи $+E_б$, R_3, $b_б$, $-E_б$, создает большое падение напряжения на сопротивлении R_3. Выходное напряжение будет только на шине, имеющей зажим A_1. Положение переключателей, показанных на схеме, соответствует условию 00. Установив верхний переключатель в положение вниз, можно задать условие 0,1 и т. д.

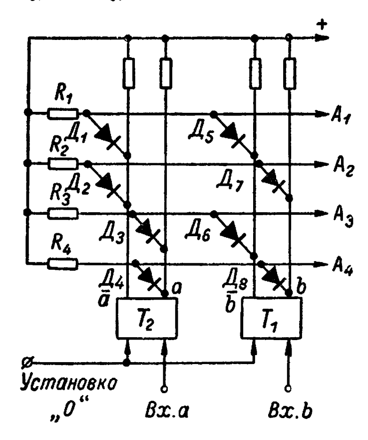


Рис. 40. Диодная матрица на два входа, управление которой производится двумя триггерами.

При перемещении переключателей меняется цепь, по которой протекает ток, и соответственно этому — выходное напряжение на зажимах.

На рис. 40 приведена аналогичная схема диодной матрицы, управление которой осуществляется высоким напряжением, поступающим от триггеров. Величина его такова, что она запирает диод, и ток через него не протекает.

Рассмотрим в качестве примера логические операции на два входа и четыре выхода. Логика этой операции приведена в табл. 13. На входе возможны только четыре комбинации: 00; 01; 10 и 11 и четыре решения на выходе матрицы (см. рис. 40).

Таблица 13

Входные переменные		Выход			
a	*b*	A_1	A_2	A_3	A_4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Как видно из таблицы, функциональная схема матрицы определяется уравнениями:

$$A_1 = \bar{a}\bar{b};\quad A_2 = \bar{a}b;\quad A_3 = a\bar{b};\quad A_4 = ав. \qquad (5)$$

Эта задача решается четырьмя логическими элементами «И» и двумя «НЕ». Функциональная схема будет иметь вид, изображенный на рис. 41. Диодная матрица, построенная по этой схеме, выглядит так, как изображено на рис. 39 и 40. В этих схемах используются восемь диодов и четыре пары шин: четыре шины в соответствии с числом входов и четыре в соответствии с числом выходов. В схеме рис. 40 диоды могут пропускать токи только от горизонтальных шин (выходных) к вертикальным (входным).

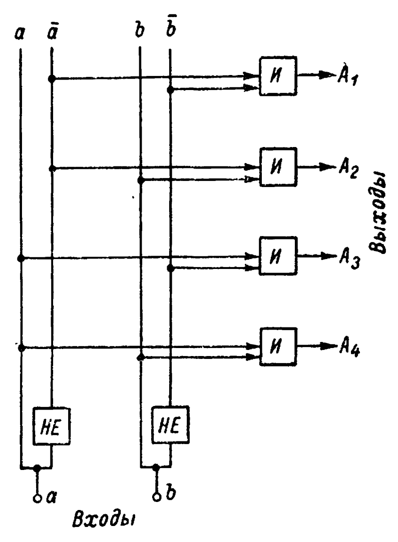


Рис. 41. Функциональная схема диодной матрицы, изображенной на рис. 40.

На вход матрицы поступают сигналы, которые изображают комбинацию нулей и единиц, т. е. двоичные числа. Если подается сигнал, то значение равно единице двоичного числа, если сигнала нет, то значение равно «0».

Преобразование прямого кода этих чисел в обратный, т. е. в код, в котором единицы заменены нулями, а нули единицами (рис. 40), осуществляется триггерами. Действительно, когда нет входных сигналов, $a = 0$ и $b = 0$, оба триггера находятся в положении «0», на левых выходах триггеров как бы образуется отрицание входных сигналов.

В зависимости от наличия сигнала на входе будут меняться потенциалы на выходах триггера, которые будут отпирать или запирать диоды матрицы, что приводит к переключению высокого потенциала от одних диодов матрицы к другим. При $a = 0$, $b = 0$ триггеры T_1 и T_2 находятся в нулевом положении, следовательно, высокий потенциал будет на диодах $Д_1$ и $Д_5$. Эти диоды запираются напряжением триггеров. В горизонтальной шине, обозначенной A_1, напряжение от источника $+E$ подается через сопротивление R_1 к выходу A. Высокий потенциал на выходе A_1 соответствует сигналу «1». Все остальные диоды не заперты и

проводят ток. Если сопротивления R_1 — R_4 выбраны достаточно большими по сравнению с сопротивлениями диодов в прямом направлении, то напряжение на выходах будет ничтожно мало. В тех шинах, где диоды заперты и не проводят ток, под напряжением будет находиться горизонтальная шина. При коде 0,1 (a, b) появится высокий потенциал на левом выходе триггера T_1 и на правом выходе триггера T_2, и на вход схемы совпадения, собранной на диодах $Д_2$ и $Д_7$, поступают высокие потенциалы. Напряжение будет на шине A_2 (сигнал «1»).

Применение запирающего напряжения аналогично размыканию цепи диода. У остальных горизонтальных шин диоды проводят на сопротивлениях R_1, R_3, R_4, получается большое падение напряжения, а на выходах A_1, A_2, A_3, A_4 — низкие потенциалы.

При коде 1,0 сработает схема совпадения на диодах $Д_3$ и $Д_6$, на выходе A_3 будет высокий потенциал и т. д.

В зависимости от входных сигналов двоичного кода (00, 01, 10, 11), получаемых с выходов триггеров, меняется и управление выходами (A_1, A_2, A_3, A_4) диодной матрицы.

Таким образом диодная матрица преобразует двоичную информацию в сигнал управления тем или иным устройством.

В практических схемах триггеры часто соединяются с диодной матрицей посредством эмиттерных повторителей, которые служат как бы буферным каскадом.

10. Матричное программирование управляющих сигналов

Диодно-матричная система образует полюсник, имеющий k входов (на рис. 39 изображены как горизонтальные шины) и N выходов (вертикальные шины); каждая шина связана с диодами. Число выходов равно $N = 2^n$, где n — число входных переменных. С ростом вертикальных шин резко возрастает количество диодов, определяемое по формуле $D = n \cdot 2^n$. Так, например, при $n = 3$, $D = 3 \cdot 2^3 = 24$, а при $n = 5$ количество диодов $D = 160$.

Для осуществления матричного программирования должна быть предварительно задана программа. Каждая предпосылка задаваемой программы должна, по существу, сводиться к сочетанию «ДА—НЕТ». Иначе говоря, сигналы, подаваемые на вход матрицы, должны быть закодированы в двоичный код, т. е. образовать комбинацию нулей и единиц.

При составлении матрицы требуется столько переключателей, сколько будет двоичных разрядов в наибольшем из вводимых в матрицу чисел. Каждой комбинации сигналов на входе соответствует появление сигнала «1» только на одном определенном выходе.

Рассмотрим на примере, каким образом матрицы выполняют некоторые логические операции. Пусть задано, что для автоматического управления технологическим процессом должны поступать сигналы, оповещающие состояние трех клапанов *a*, *b* и *c*. Эти сигналы поступают в устройство, управляющее открытием клапанов. Закодируем состояние клапанов двоичным кодом. Поскольку имеются три предпосылки входных переменных (abc), то возможны восемь комбинаций ($N = 2^3 = 8$), обозначим их:

1. 000 (клапан *a* закрыт, клапан *b* закрыт, клапан *c* закрыт).
2. 001 (клапан *a* закрыт, клапан *b* закрыт, клапан *c* открыт).
3. 010 (клапан *a* закрыт, клапан *b* открыт, клапан *c* закрыт).
4. 011 (клапан *a* закрыт, клапан *b* открыт, клапан *c* открыт).
5. 100 (клапан *a* открыт, клапан *b* закрыт, клапан *c* закрыт).
6. 101 (клапан *a* открыт, клапан *b* закрыт, клапан *c* открыт).
7. 110 (клапан *a* открыт, клапан *b* открыт, клапан *c* закрыт).
8. 111 (клапан *a* открыт, клапан *b* открыт, клапан *c* открыт).

Диодной матрицей определяется состояние клапанов и выдается соответствующий сигнал, необходимый для последующего действия устройства автоматического управления.

Заданную программу можно представить в виде логических функций, имеющих вид:

$$A_1 = \bar{a}\bar{b}\bar{c}; \quad A_5 = a\bar{b}\bar{c};$$
$$A_2 = \bar{a}\bar{b}c; \quad A_6 = a\bar{b}c;$$
$$A_3 = \bar{a}b\bar{c}; \quad A_7 = ab\bar{c};$$
$$A_4 = \bar{a}bc; \quad A_8 = abc.$$

В рассматриваемом примере три сигнала на входе образуют восемь комбинаций и, следовательно, восемь выходов. Логика работы такой матрицы приведена в табл. 14.

Принципиальная схема диодной матрицы, соответствующей заданной программе, изображена на рис. 42.

Реализация элемента «НЕ» выполняется триггерами. При отсутствии сигналов ($a = 0$; $b = 0$; $c = 0$) все три триггера находятся в нулевом положении; высокий потенциал будет на левом выходе триггера. Все диоды, соединенные

с выходной шиной A_1, будут заперты, и под высоким потенциалом $+E_б$ окажется шина A_1. Остальные семь выходных шин находятся в проводящем состоянии и поэтому окажутся под низким потенциалом.

Таблица 14

Входные переменные			Выход							
a	b	c	A_1	A_2	A_3	A_4	A_5	A_6	A_7	A_8
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

При сигнале $c = 1$, $a = 0$, $b = 0$ запертыми окажутся все диоды, связанные с выходной шиной A_2. На этой шине

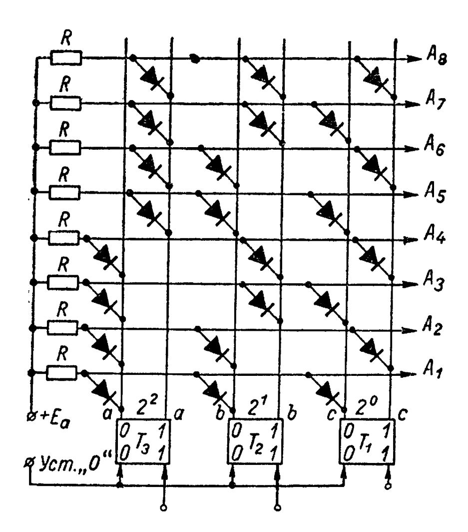


Рис. 42. Диодная матрица на три входа.

будет высокий потенциал. Диоды, соединенные с каждой из остальных семи шин, будут находиться в проводящем состоянии и т. д. Диодные матрицы, построенные по изло-

женному принципу, называют **прямоугольными матрицами**.

Рассматриваемая диодная матрица может быть представлена в виде функциональной схемы, изображенной на рис. 43.

Не всегда необходимо использовать все комбинации, которые содержатся в диодной матрице. В некоторых случаях, в зависимости от программы логических операций,

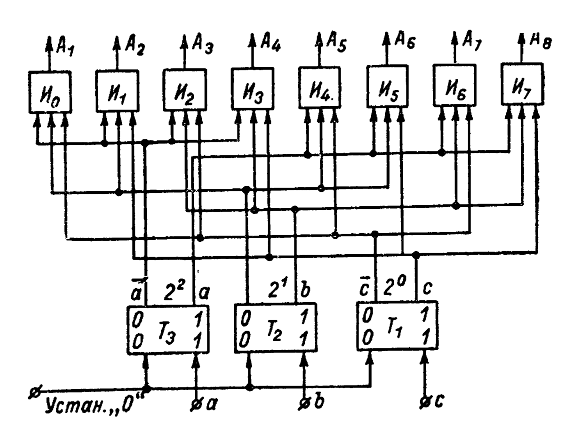


Рис. 43. Функциональная схема диодной матрицы, изображенной на рис. 42.

уменьшают число вертикальных шин и диодов, благодаря чему матрица значительно упрощается.

Поясним изложенное примером. Пусть для регулирования определенных параметров объекта требуется напряжение на выходных клеммах диодной матрицы, соответствующее десятичным числам 0; 5 и 67. Данное условие можно записать в виде двоичного кода:

0 — 0000000
5 — 0000101
67 — 1000011

Для представления всех указанных десятичных чисел использовано семь двоичных разрядов, так как десятичное число 67 в двоичном счислении изображается числом 1000011, т. е. оно содержит семь цифр. При заданном числе разрядов потребуется семь переключений, но так как в диодной

матрице каждая выходная шина представляет определенное число, то для выполнения заданных условий достаточно трех выходных шин.

На рис. 44 показана диодная матрица для заданных условий, в которой переключение входных шин производится переключателем.

Размещение диодов довольно простое. Чтобы первая выходная шина (0) давала напряжение, диоды соединяют с теми входными шинами, которые в исходном положении обесточены. Вторая выходная шина (десятичное число 5) дает напряжение на выходе при установке переключателей, соответствующих числу двоичного кода 101. Для этого диоды должны соединять вторую выходную шину с теми входными шинами, которые в данном положении переключателей обесточены. Тот же процесс включения диодов осуществляют для числа 67 (код 1000011).

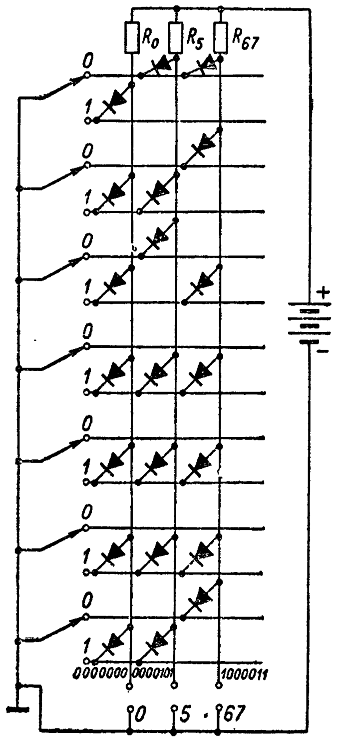


Рис. 44. Диодная матрица, у которой управление производится семью переключателями, при наличии входных условий 0; 5 и 67.

11. Применение матриц

Сдвигатели. В вычислительных машинах диодные матрицы находят также применение в качестве сдвигателя. С д в и г а т е л я м и называют устройства, которые пропускают сигналы со сдвигом на один или несколько разрядов за один такт.

На рис. 45 представлено условное изображение сдвигателя. На вход его подается двоичное число x, которое пропускается без сдвига или со сдвигом на один, два или n разрядов, в зависимости от того, на какой вход подан управляющий сигнал (a_0 или a_1, или a_2, или a_n).

Работа одноразрядного сдвигателя описывается логическими формулами:

$$A_0 = a_0x, \quad A_2 = a_2x,$$
$$A_1 = a_1x, \quad A_n = a_nx,$$

которые для каждого выхода имеют свое значение (рис. 45,*б*).

Указанную логическую функцию выполняет диодная матрица, приведенная на рис. 46.

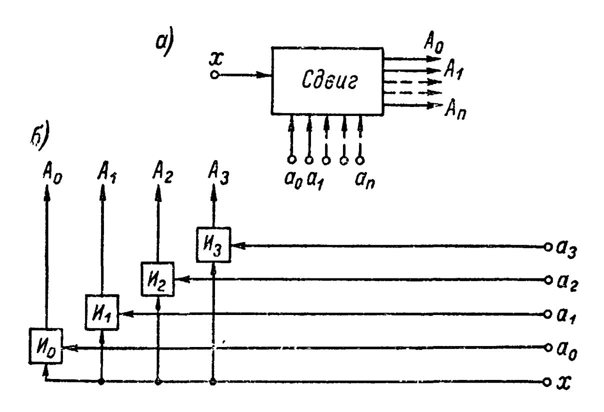


Рис. 45. Схемы сдвигателя: *а* — условное изображение; *б* — функциональная схема.

Для сдвига кода управляющий сигнал подается на соответствующий вход. Например, для сдвига на три разряда управляющий сигнал подается на вход a_3.

Сигнал, соответствующий коду «1», который необходимо сдвинуть, своим потенциалом создает падение напряжения на высокоомных сопротивлениях R_0, R_1 и R_2. Через сопротивление R_3 ток не проходит, так как диод запирается управляющим сигналом. На выходе A_3 появится высокое напряжение. При коде «0» все диоды открыты. Сдвиг многоразрядного числа осуществляется диодной матрицей в сочетании с диодами, выполняющими логическую функцию «ИЛИ».

Различители операции «ИЛИ». Диодная матрица может быть составлена так, что будет выполнять логическую операцию «ИЛИ».

На рис. 47 приведена схема, реализующая такую логическую операцию. Горизонтальная шина, как и в матрице

схемы «И», является входной, а вертикальная — выходной. Диоды соединяют накоротко горизонтальные и вертикальные шины. Если подать положительное напряжение на горизонтальную шину *a*, то благодаря наличию диодов на третьей и первой вертикальных шинах появится напряжение. На вертикальной шине *3* получится результат логической операции *a* или *c*, или *e*.

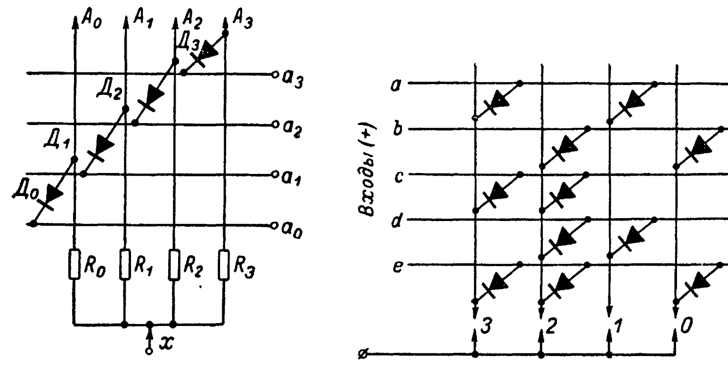


Рис. 46. Принципиальная схема сдвигателя

Рис. 47. Схема диодной матрицы «ИЛИ».

Диодная матрица схемы «ИЛИ» может быть использована для преобразования сигналов в двоичный код.

Из приведенного примера видно, что при наличии положительного сигнала на шине *a* на вертикальных шинах *1* и *3* выхода матрицы появится напряжение, следовательно, горизонтальная шина *a* может быть закодирована числом 1010. Аналогично кодируют и остальные входные шины (см. рис. 47). На выходе матрицы сигналы расшифровывают в десятичные числа (табл. 15).

Таблица 15

Горизонтальные шины	*a*	*b*	*c*	*d*	*e*
Код	1010	0101	1100	0110	1001

Многоступенчатые матрицы. Для уменьшения количества диодов применяют двух- и многоступенчатые диодные матрицы.

Двухступенчатые матрицы строятся следующим образом. При четном n входных переменных все они разделяются на две группы с числом входов в каждой группе $n/2$.

При нечетном n число входов в группах выбирают равными $(n+1)/2$ и $(n-1)/2$. Эти матрицы составляют первую ступень. Далее каждая группа соединяется с диодной матрицей.

Входными сигналами для второй ступени являются выходные сигналы первой ступени.

В двухступенчатой диодной матрице числа диодов, необходимых для построения схемы, определяются по следующим формулам:

а) при четном n

$$N = n \cdot 2^{\frac{n}{2}} + 2 \cdot 2^n,$$

б) при нечетном n

$$N_2 = \frac{n+1}{2} \cdot 2^{\frac{n+1}{2}} + \frac{n-1}{2} \cdot 2^{\frac{n-1}{2}} + 2 \cdot 2^n.$$

Так, например, для одноступенчатой диодной матрицы с $n = 6$ входами потребуются $N = n \cdot 2^n = 384$ диода. На такое число входов для двухступенчатой матрицы потребуется 176 диодов.

На рис. 48 приведена двухступенчатая диодная матрица с 4 входами и 16 выходами. Как и в рассмотренных выше диодных матрицах, они образованы схемами «И».

В принципиальной схеме первую ступень составляют две диодные матрицы $M_а$ и $M_б$ на четыре выхода каждая.

Матрица $M_а$ управляется двумя триггерами младших разрядов B_1 и B_2, а матрица $M_б$ — триггерами старших разрядов B_3 и B_4.

Вторую ступень составляет матрица на 16 выходов. Входными сигналами этой ступени являются выходные сигналы первой.

В соответствии с кодом числа возбуждается одна из выходных шин матрицы $M_а$ и $M_б$. При этом появляется сигнал на той выходной шине матрицы второй ступени, два диода которой проводят ток.

В качестве иллюстрации изложенного введем код 1001 в двухступенчатую диодную матрицу. В матрице $M_а$ окажутся запертыми диоды $Д_1$ и $Д_2$, а в матрице $M_б$ — $Д_3$ и $Д_4$. Во второй ступени на диодах $Д_5$ и $Д_6$ появится

запирающее напряжение. На шине *9* возникнет выходное напряжение, соответствующее коду 1001.

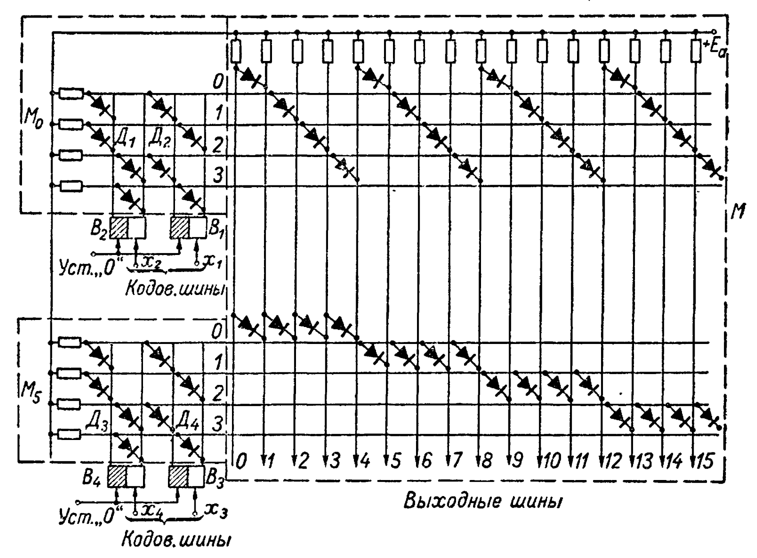


Рис. 48. Схема двухступенчатой диодной матрицы.

Функциональная схема рассмотренной двухступенчатой матрицы изображена на рис. 49.

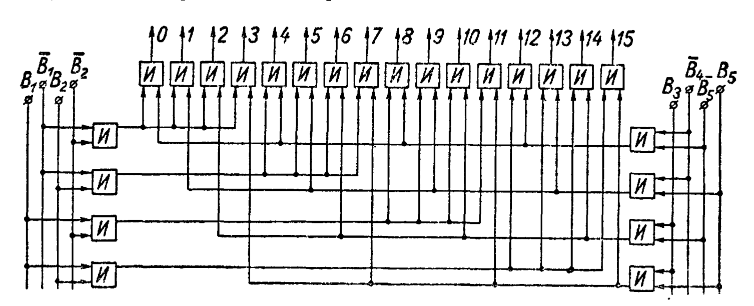


Рис. 49. Функциональная схема двухступенчатой матрицы, изображенной на рис. 48.

Коммутаторы. Выше были рассмотрены общие случаи применения диодной матрицы в качестве многопозиционного переключателя. Вообще же использование диодных

матриц весьма многообразно. На практике находят применение диодные матрицы, в которых сигналы от различных источников направлены на один выход, например, когда необходимо поочередное получение сигналов из различных мест для записи их на одной ленте. Каждая информация может длиться в течение очень короткого времени, а затем мгновенно переходить к следующей информации. На рис. 50 представлена одна из таких схем диодных матриц.

Каждая вертикальная шина через сопротивление подключена к отдельному источнику питания, нижние концы этой шины соединены вместе на общий выход. При поочередном включении одного из нескольких входных сигналов на горизонтальные шины на общем выходе появляется сигнал.

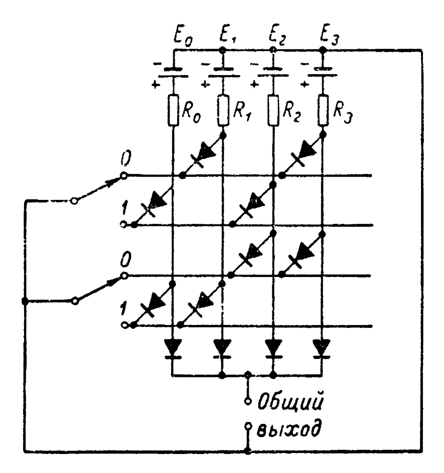


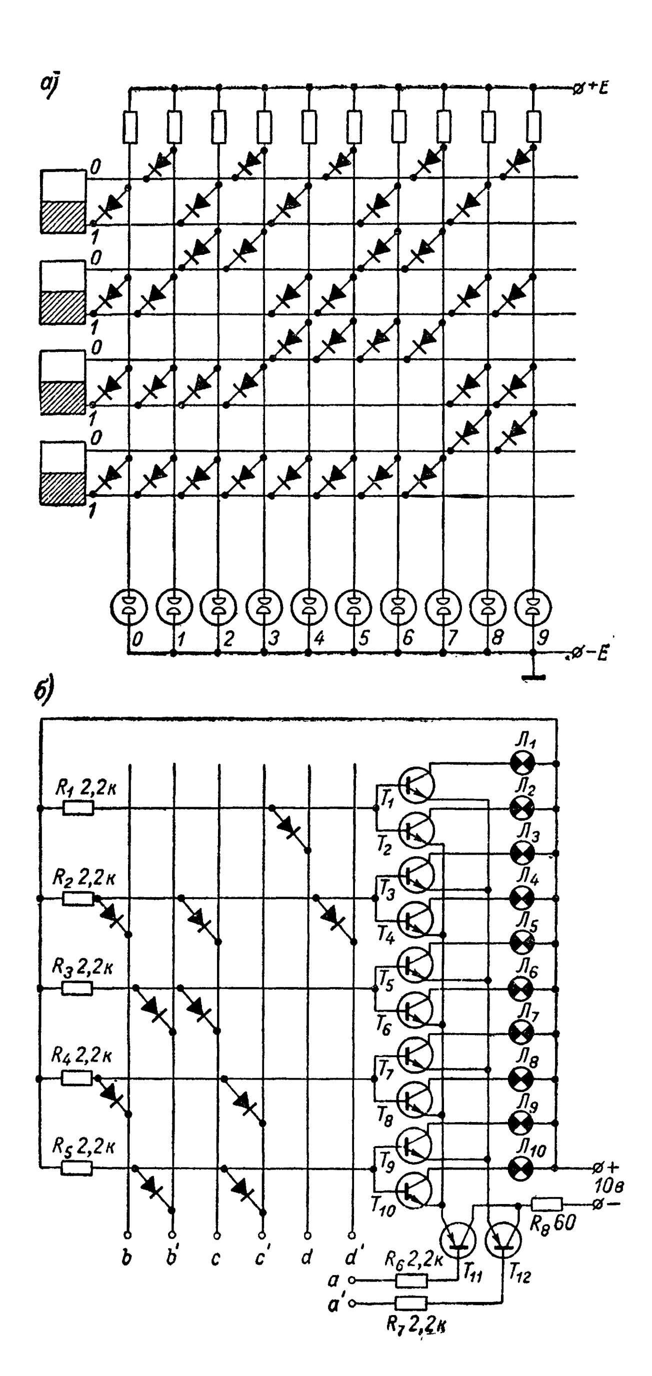
Рис. 50. Диодная матрица, применяемая в качестве коммутатора.

Диодная матрица, по существу, используется в качестве коммутатора для многократной записи сигналов от различных устройств. Управление коммутаторами может быть электронным.

Таблица 16

Цифры	Состояние триггеров				Вход	Цифры	Состояние триггеров				Вход
Выход	T_4	T_3	T_2	T_1	Код	Выход	T_4	T_3	T_2	T_1	Код
0	0	0	0	0	0000	5	0	1	0	1	1010
1	0	0	0	1	1000	6	0	1	1	0	0110
2	0	0	1	0	0100	7	0	1	1	1	0111
3	0	0	1	1	1100	8	1	0	0	0	0001
4	0	1	0	0	0010	9	1	0	0	1	1001

Большое распространение получили схемы диодных матриц для перехода от двоичного счета к десятичному. На рис. 51 приведена одна из таких схем. Импульсы,



а)
+E
0
1
0
1
0
1
0
1
0
1
2
3
4
5
6
7
8
9
−E
б)
R1 2,2к
R2 2,2к
R3 2,2к
R4 2,2к
R5 2,2к
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
Л1
Л2
Л3
Л4
Л5
Л6
Л7
Л8
Л9
Л10
+
10в
−
R8 60
b
b'
c
c'
d
d'
a
a'
R6 2,2к
R7 2,2к
T11
T12

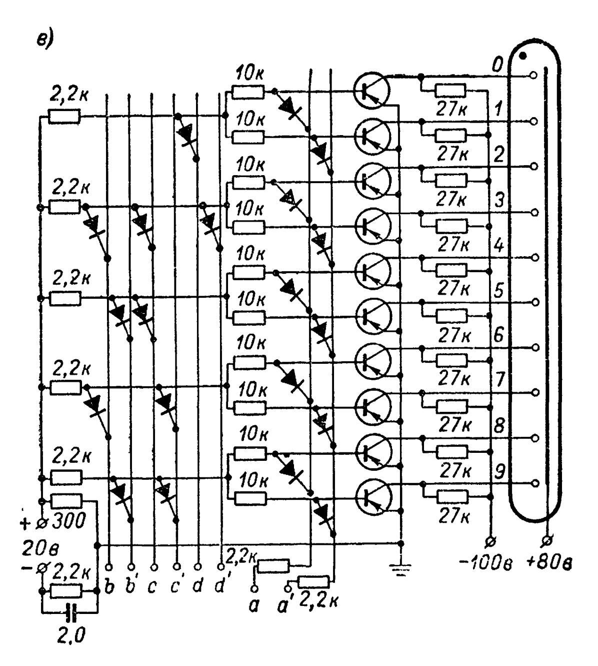


Рис. 51. Диодная матрица на четыре входа для получения десятичной цифровой индексации: *а* — цифровая индексация на неоновых лампах; *б* — упрощенная диодная матрица с транзисторами; *в* — индексация на цифровой лампе.

поступающие на вход диодной матрицы, на выходе нумеруются десятичными числами. Сигнал появляется на том выходе диодной матрицы, номер десятичного числа которой совпадает с соответствующим двоичным числом. В рассматриваемой схеме наличие четырех триггеров позволяет получить десять цифр при входной комбинации нулей и единиц.

В табл. 16 приведена логика перевода двоичного счета в десятичное счисление.

Проводимость диодов управляется напряжением, подводимым к ним от триггерных ячеек T_1, T_2, T_3 и T_4. В тех цепях, где диоды заперты, ток от источника $+E_{\text{пит}}$ через сопротивление R поступит на выход матрицы. В положении, показанном на схеме, четыре триггера имеют состояние «0». В выходной цепи «0» (шина «0») будет протекать ток, а все остальные шины обесточены. Если, например,

в триггерный регистр будет введен код 1001 (цифра 9), то на шине *9* появится высокий потенциал и все четыре диода будут заперты. Ток от источника $+E_{пиг}$ через сопротивление R_{10}, не ответвляясь, поступит на 9 выход диодной матрицы.

Рассмотренная диодная матрица на рис. 51, *а* может быть значительно упрощена, если применить транзисторы типа *n-p-n*.

На рис. 51, *б* представлен один из вариантов такой схемы для преобразования двоичного счета в десятичный с выходом на лампы накаливания. В этой схеме транзисторы T_1 — T_{10} объединены в две группы: четные и нечетные.

Транзисторы служат для управления зажиганием ламп накаливания и выполняют часть логических операций, благодаря чему схема матрицы упрощается.

Выбор четной или нечетной группы цифр производится первым триггером счетчика импульсов (на схеме не показано) через транзисторы T_{11} и T_{12} (П26), включенные последовательно с этими группами. Остальные триггеры счетчика импульсов подключены к выводам *bb'*, *cc'* и *dd'*.

Как видно из схемы зажигание ламп задается кодом импульсов, поступающих от триггеров через диодную матрицу.

Схема содержит всего 10 диодов вместо 40, собранных по схеме реле.

На рис. 51, *в* изображена схема диодной матрицы с выходом на цифровую лампу для десятичного счета.

В схеме применены высоковольтные транзисторы, включенные последовательно с цифровой лампой. Коллекторы этих транзисторов соединены с катодами цифровой лампы, а эмиттеры соединены вместе. Транзисторы разделены на четные и нечетные. Первый триггер подключен к выводам *aa'*, остальные триггеры — к выводам *bb'*, *cc'*, *dd'*.

Управление диодной матрицей производится кодированными импульсами, поступающими от триггеров. На выходе матрицы появляется положительное напряжение, которое запирает транзистор, а остальные девять остаются открытыми.

Падение напряжения на открытых транзисторах очень мало, поэтому напряжение между анодом и соответствующими катодами меньше потенциала зажигания цифровой лампы (80 *в*).

В цепь запертого триода к катоду лампы будет приложено напряжение 100 *в* + 80 *в* (относительно анода) через огра-

ничивающее сопротивление 27 *ком*, при этом через цифровую лампу пойдет ток, достаточный для свечения цифры.

Коммутирование с постоянным циклом. В некоторых случаях бывает необходимо использовать диодные матрицы для коммутирования входных сигналов с постоянным циклом. При таком коммутировании через равные промежутки времени поочередно подключают входные сигналы, которые через диодную матрицу поступают на общий выход. Такое переключение осуществляют часовым механизмом или датчиком времени и тому подобными устройствами.

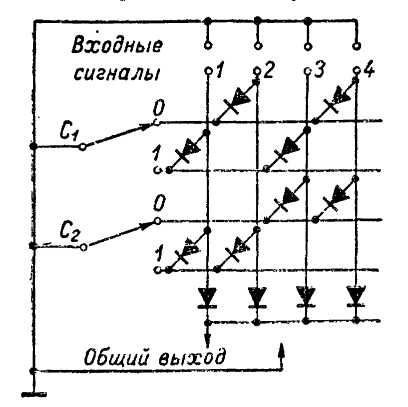


Рис. 52. Схема диодной матрицы для коммутирования через равные промежутки времени.

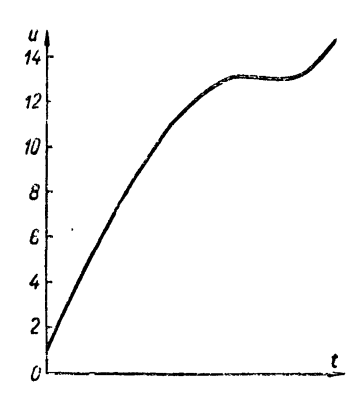


Рис. 53. Кривая зависимости напряжения от времени датчика-преобразователя.

Для двоичного числа ставится по одному переключателю на каждый разряд, т. е. на два положения — один переключатель.

На рис. 52 приведена одна из простейших схем для коммутирования с постоянным циклом. В этой схеме переключатель C_1 и C_2 устанавливается датчиком времени в положения, указанные на схеме, 00; 01; 10 и 11. Входные сигналы поочередно поступают на общий выход. Число вертикальных шин определяется числом входных сигналов.

Коммутатор на диодной матрице может работать с любой частотой, определяемой скоростью переключений.

Регулирование процесса в заданных пределах. Диодные матрицы могут быть использованы в качестве устройств, осуществляющих регулирование какого-либо процесса в заданных пределах.

Для этих целей параметры, подлежащие регулированию, с помощью датчиков преобразовывают в электрическое напряжение, являющееся аналогом измеряемого параметра. Далее это напряжение в соответствующей схеме автоматически преобразовывается в двоичный код. Сигналы поступают в диодную матрицу. При соответствии кода нужному пределу регулирования на выходе матрицы появляется сигнал, который включает регулирующее устройство.

Для примера на рис. 53 представлена зависимость напряжения от времени, показываемая датчиком, преобразующим измеряемый параметр в электрическое напряжение.

Измерение напряжения происходит в пределах 14 условных единиц.

Представив ординаты кривой напряжения в двоичном коде, будем иметь данные (табл. 17).

Таблица 17

Десятичное число	Двоичный код	Десятичное число	Двоичный код	Десятичное число	Двоичный код
0	0 0 0 0 0	5	0 0 1 0 1	11	0 1 0 1 1
1	0 0 0 0 1	6	0 0 1 1 0	12	0 1 1 0 0
2	0 0 0 1 0	7	0 0 1 1 1	13	0 1 1 0 1
3	0 0 0 1 1	8	0 1 0 0 0	14	0 1 1 1 0
4	0 0 1 0 0	9	0 1 0 0 1	15	0 1 1 1 1
		10	0 1 0 1 0		

Аналого-цифровое преобразование может происходить с очень большой скоростью, и, следовательно, электрические сигналы будут отображать быстродействующее течение заданного процесса.

Предположим, что при появлении 8—14 единиц возникает необходимость включения соответствующего регулятора.

Для указанного диапазона регулирования потребуется диодная матрица, имеющая семь вертикальных шин, каждая из которых должна быть соединена через диоды с горизонтальными шинами (рис. 54). Управлять матрицей должны семь триггеров или переключателей. Первая слева вертикальная шина возбуждается при входном числе 8 (0001000). Следующая шина возбуждается при входном числе 9 (0001001) и т. д. до 14-й шины.

При поступлении импульсов, не соответствующих числам 8 — 14, вертикальные шины заземляются через один или несколько диодов.

Дифференциальный учет. Применение диодных матриц многообразно. Для примера рассмотрим учет автомобильных покрышек по двум параметрам: по внешнему диаметру

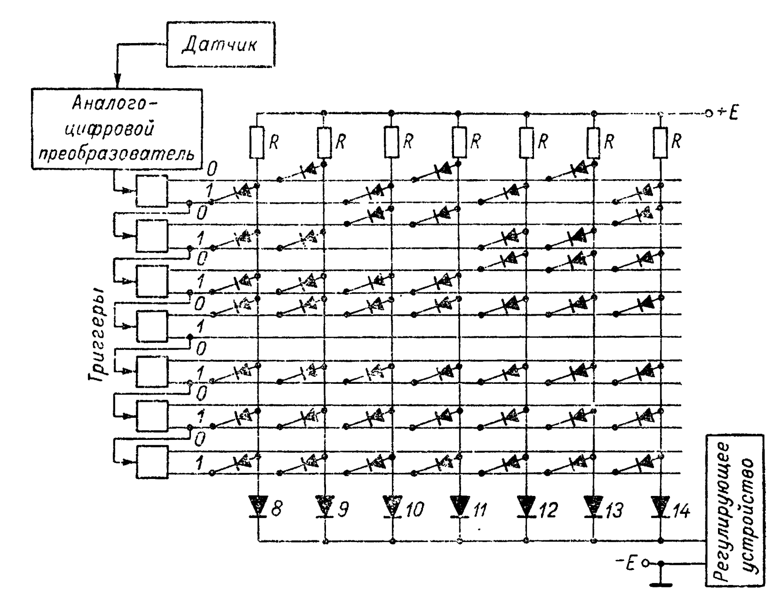


Рис. 54. Диодная матрица, управляемая семью триггерами для регулирования заданного процесса.

($Д_a$ и $Д_b$) и высоте (H_a и H_b). Всего четыре сочетания: 1) $Д_a - H_a$; 2) $Д_b$ и H_a; 3) $Д_a - H_b$; 4) $Д_b - H_b$. Здесь индексом a обозначен большой размер покрышек, а индексом b — малый. Информацию о больших размерах будут

Таблица 18

Номера групп	Входы			Выходы			
	размер покрышек	диаметр	высота	A_1	A_2	A_3	A_4
1	$Д_a - H_a$	1	1	1	0	0	0
2	$Д_b - H_a$	0	1	0	1	0	0
3	$Д_a - H_b$	1	0	0	0	1	0
4	$Д_b - H_b$	0	0	0	0	0	1

давать датчики в виде импульсов (1), а от меньших размеров импульсы поступать не будут (0).

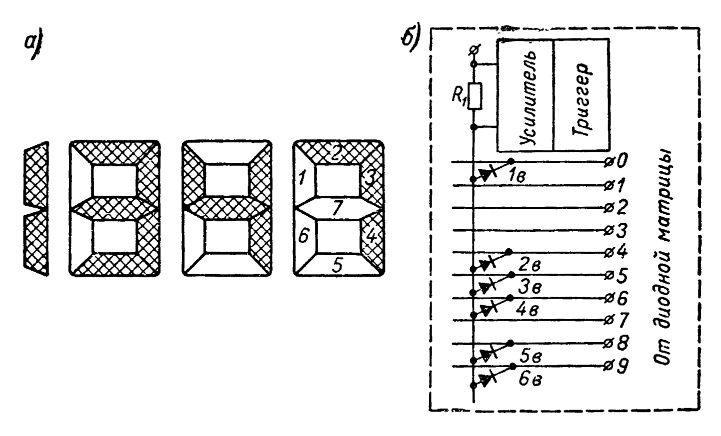


Рис. 55. Светоцифровое табло (*а*) и его логический узел (*б*).

Таким образом, для осуществления указанного учета покрышек необходимо иметь простейшую диодную матрицу: для входа a и b четыре выхода (A_1; A_2; A_3; A_4).

Логика этой матрицы приведена в табл. 18.

Схема диодной матрицы с рассматриваемой логикой была приведена ранее на стр. 48.

На выходе диодной матрицы установлен счетчик, который ведет учет числа покрышек разного диаметра и с разной высотой.

Диодная матрица может быть использована для образования светоцифрового табло при помощи семи полосок, засвечиваемых лампами накаливания. Эти светящиеся полоски создают все цифры от 0 до 9. Обозначив полоски, как это сделано на рис. 55, *а*, можно составить код, образующий порядок зажигания полосок табло. Этот код приведен в табл. 19.

Таблица 19

Число	Номер полоски						
	1	2	3	4	5	6	7
0	1	1	1	1	1	1	0
1	0	0	1	1	0	0	0
2	0	1	1	0	1	1	1
3	0	1	1	1	1	0	1
4	1	0	1	0	1	0	1
5	1	1	0	1	1	0	1
6	1	1	0	1	1	1	1
7	0	1	1	1	0	0	0
8	1	1	1	1	1	1	1
9	1	1	1	1	1	0	1

Семь логических узлов преобразуют десятичный код в код табло. Эти узлы содержат диодную схему «ИЛИ» и усилитель, который зажигает лампочку накаливания, установленную в соответствующей полоске. Пользуясь таблицей, можно составить диодную схему для любого логического узла. Схема каждого такого узла должна быть выражена в соответствии с тем, в каких цифрах участвуют светящиеся полоски.

На рис. 55, *б* изображена диодная схема логического узла, зажигающего лампу накаливания *1*. Диоды присоединяются к шинам, несущим напряжение от цифр 0; 4; 5; 6; 8; 9, так как полоска *1* участвует в образовании этих цифр. Остальные логические узлы отличаются друг от друга только диодной схемой «ИЛИ».

ГЛАВА ЧЕТВЕРТАЯ

СХЕМЫ ЛОГИЧЕСКИХ УЗЛОВ

12. Представление произвольной двоичной функции посредством алгебры логики

Перейдем к рассмотрению применения алгебры логики при проектировании различных устройств и электрических переключающих цепей. Чтобы создать логическую цепь и применить логические элементы, надо знать условия работы устройства (цепи). Эти условия должны быть переведены на язык алгебры логики и представлены в виде единиц и нулей (сообщение типа «ДА—НЕТ»). Все комбинации входных сигналов следует записывать в таблицу. В ней указывается, при каких соотношениях входных сигналов имеются или отсутствуют сигналы на выходе. Сигналы на выходе являются результатом операции логического умножения или сложения единиц и нулей на входе. По данным таблицы условия работы устройства (цепи) записывают в виде логической функции.

Рассмотрим простейший пример представления двоичной функции посредством алгебры логики.

Включение и выключение света в вестибюле дома должно производиться переключателями, находящимися на первом и на втором этажах. Если свет выключен, любой

Таблица 20

№ пп	a	b	A
1	0	0	0
2	0	1	1
3	1	0	1
4	1	1	1

переключатель, установленный на этих этажах, может его включить или выключить. При этом возможны четыре случая:

1) переключатели на этажах выключены и в вестибюле нет света;

2) переключатель на втором этаже включил лампочку в вестибюле;

3) переключатель на первом этаже включил лампочку;

4) оба переключателя включены и лампочки горят.

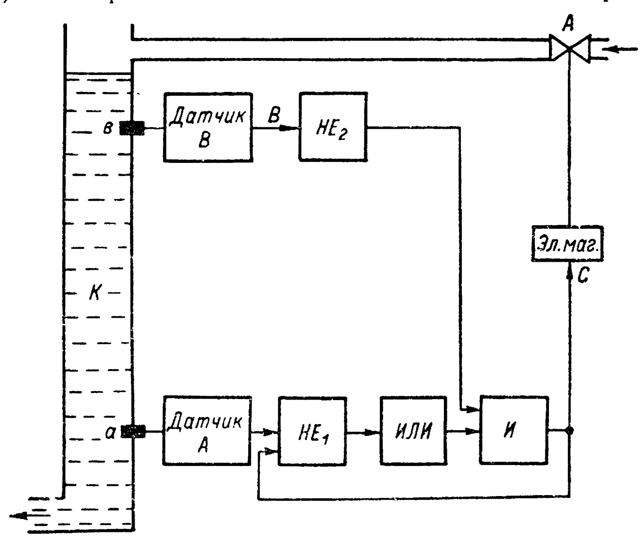


Рис. 56 Функциональная схема логических элементов для автоматического регулирования уровня воды в баке.

Для записи в таблице рассмотренных состояний переключателей обозначим:

буквой *a* — состояние переключателя на верхнем этаже;
буквой *b* — состояние переключателя на втором этаже;
буквой *A* — состояние лампочки в вестибюле.

По существу, *a* и *b* являются входными переменными, а *A* — выходной переменной.

Обозначим: включение света — 1, а выключение света — 0.

Условия работы цепи сведены в табл. 20.

Из этой таблицы, как будет показано далее, определяется логическая функция $A = a + b$.

Рассмотрим другой пример представления двоичной функции посредством алгебры логики. Пусть требуется автоматически регулировать уровень воды в баке с помощью вентиля A. Для этого в нем установлены два датчика: первый (a) дает сигнал, когда вода превысит допустимый уровень, второй датчик (b) дает сигнал, когда вода достигнет уровня $в$ (рис. 56). Когда уровень воды ниже уровня a, сигналы от датчиков не поступают, но кран должен быть открыт. Следовательно, $a = 0$; $b = 0$ и $A = 1$.

При подъеме уровня воды выше линии a кран должен оставаться открытым: $a = 1$; $b = 0$; $A = 1$.

При достижении водой уровня $в$ кран должен быть закрыт: $a = 1$; $b = 1$; $A = 0$.

Таблица 21

№ пп	a	b	A
1	0	0	1
2	1	0	1
3	1	1	0

Режимы работы системы автоматического регулирования могут быть представлены в виде таблицы логических функций (табл. 21).

Если на входе нет сигналов, то отсутствие их записывается как отрицание: $A = \bar{a}\bar{b} = 1$.

Условия работы, как будет показано далее, могут быть записаны в виде логической функции $A = \bar{a}\bar{b} + a\bar{b}$.

13. Синтез логических схем

Синтез логических схем сводится к построению электрической схемы. Электрическая схема составляется путем замены звеньев функциональной или структурной схемы соответствующими им логическими элементами.

Синтез логических устройств (цепи) начинается с перевода заданных условий работы (цепи) на язык алгебры логики.

Синтез производится из простейших логических элементов, комбинируя которые, можно реализовать любые переключательные функции.

Для построения функциональной схемы должно быть известно:

а) при каких соотношениях входных сигналов имеется сигнал на выходе;

б) при каких соотношениях входных сигналов не будет сигналов на выходе.

Создание функциональной схемы разбивается на два этапа:

1) определение по заданным условиям работы необходимых логических элементов и их соединений;

2) выбор оптимального варианта функциональной схемы.

Построение функциональных схем удобнее всего производить по уравнениям алгебры логики (логическим функциям).

Уравнение, описывающее работу схемы, может быть составлено либо по условиям истинности (по единицам), либо по условиям ложности (по нулям) логических высказываний.

Существуют следующие правила составления уравнения по единицам. Для каждой строки в таблице условий работы схемы, в которой выходная величина равна 1, составляются произведения входных сигналов, а затем эти произведения складываются. Если значение входной величины равно 0, то берется ее отрицание.

Таблица 22

Вход		Выход
a	b	A
0	0	0
1	0	1
0	1	1
1	1	0

Рассмотрим применение указанного правила на примере работы схемы сумматора по модулю «два». Сумматор этого типа является простейшей суммирующей схемой, в которой складываются две цифры без учета переноса из данного разряда в старший.

Условия его работы представлены в табл. 22.

Сигнал на выходе A появляется в том случае, когда имеется сигнал на одном из входов, и не возникает, когда сигналы поступают на оба входа схемы или совсем отсутствуют.

Согласно приведенному правилу составления функциональной схемы по единицам, работа схемы сумматора должна быть выражена логической функцией

$$a\bar{b}+\bar{a}b=A. \qquad (6)$$

Схема, реализующая указанную логическую функцию, приведена на рис. 57, *а*. Она состоит из пяти логических элементов, двух элементов «НЕ» для получения инверсии $\bar{a}$ и $\bar{b}$, двух элементов «И» для образования произведения эле-

ментов $\bar{a}b$ и $a\bar{b}$ и одного элемента «ИЛИ» для получения суммы $(\bar{a}b) + (a\bar{b})$.

Рассматриваемая функциональная схема представляет логическую операцию отрицания равнозначности (неравнозначность). Для составления логической функции по условиям ложности (по нулям) пользуются следующим правилом: для каждой строки таблицы, где выходная величина равна 0, составляют логическую сумму входных величин, причем если входная величина равна 1, то берут ее отрицание, а затем эту сумму перемножают.

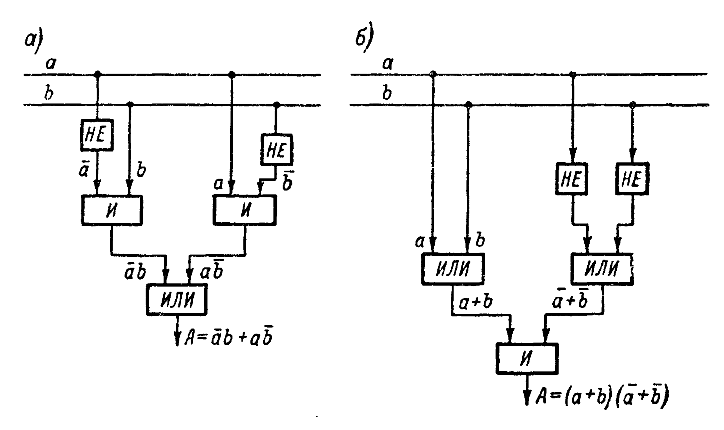


Рис. 57. Схемы неравнозначности.

Для рассмотренного выражения (6) функциональная формула по условиям ложности будет (рис. 57, *б*):

$$A = (a + b)(\bar{a} + \bar{b}). \qquad (7)$$

Легко убедиться, что выражения (6) и (7) абсолютно тождественны. Действительно, раскрыв скобки, получим:

$$A = (a + b)(\bar{a} + \bar{b}) = a\bar{a} + a\bar{b} + b\bar{a} + b\bar{b} = a\bar{b} + \bar{a}b.$$

Выбор способа составления функциональных схем по условиям истинности или ложности зависит от выбора основных логических элементов. Можем выбрать элементы типа «И—ИЛИ» или по элементам «ИЛИ—И». В нашем примере

$(\bar{a}b + a\bar{b}) \rightarrow$ «И—ИЛИ»; $(a + b)(\bar{a} + \bar{b}) \rightarrow$ «ИЛИ—И».

Функциональная схема весьма удобна для отображения работы синтезируемого логического устройства без детального вычерчивания схемы.

Следующим этапом синтеза логических схем является миминизация, т. е. упрощение функциональной схемы, в которой было бы наименьшее число логических элементов и простейшая связь между ними.

На практике применяется ряд методов миминизации: преобразование исходных уравнений алгебры логики, методы миминизирующих карт, координатные таблицы и др.

14. Преобразование уравнений алгебры логики

Преобразование уравнений алгебры логики может быть осуществлено на основе законов алгебры логики (переместительного, сочетательного, распределительного и инверсии). Упрощение достигается сокращением числа операций логических формул, выбором желаемого знака одноименных членов и т. п. Эти преобразования приводят к замене одних логических элементов другими и сокращению их числа.

Рассмотрим некоторые приемы упрощения логических функций, основанные на правилах упрощенного умножения и выделения всегда истинных выражений.

1. Пусть имеется функция $A_1 = abc + a\bar{b}c + abcd$, которую необходимо упростить. Сгруппируем слагаемые так, чтобы можно было применить операцию склеивания:

$$A_1 = ac(b + \bar{b}) + ab\bar{c}d = ac + ab\bar{c}d = a(c + b\bar{c}d).$$

Используя распределительный закон, получим:

$$A_1 = a(c + \bar{c})(c + bd) = a(c + bd).$$

2. Преобразуем функцию

$$A_2 = \bar{a}b\bar{c} + a\bar{b}\bar{c} + ab\bar{c},$$

для этого прибавим к правой части формулы член $ab\bar{c}$:

$$A_2 = ab\bar{c} + a\bar{b}\bar{c} + ab\bar{c} + ab\bar{c}.$$

Вынесем общие множители за скобки:

$$A_2 = a\bar{c}(\bar{b} + b) + b\bar{c}(\bar{a} + a) = a\bar{c} + b\bar{c} = \bar{c}(a + b).$$

3. Упростим выражение:

$$A_3 = (ab + c) + (\overline{ab + c})(cd + a),$$

$$A_3 = [\underbrace{(ab + c) + (\overline{ab + c})}_{1}][(ab + c) + (cd + a)].$$

Первый сомножитель равен единице.

На основании рассмотренных выше правил можно написать:

$$A_3 = ab + c + cd + a = a + c.$$

Пользуясь приемами упрощения логических функций, преобразуем выражение (6).

Из алгебры логики известно: $a\bar{a} = 0$ и $b\bar{b} = 0$, поэтому выражение (6) можно написать в виде:

$$A = a\bar{b} + a\bar{a} + \bar{a}b + b\bar{b}.$$

Сгруппируем члены:

$$A = a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = (\bar{a} + \bar{b})(a + b).$$

Согласно закону инверсии $\bar{a} + \bar{b} = \overline{ab}$, получим: $A = \overline{ab}(a + b)$. Отсюда следует, что выражение (6) содержит два «И», одно «НЕ» и одно «ИЛИ» (рис. 58).

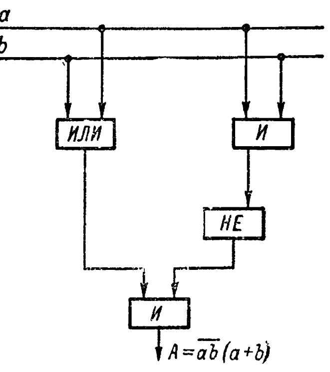


Рис. 58. Функциональная схема сумматора по модулю два

В результате упрощения формул в сумматор по модулю «два» войдут четыре вместо пяти логических элементов. После построения функциональной схемы следует перейти к построению принципиальной схемы.

15. Схемы суммирования

Одним из устройств, реализующих основные логические операции, является сумматор, выполняющий арифметическое сложение двух чисел по правилам логического сложения: 0 + 0 = 0; 1 + 0 = 1; 0 + 1 = 1; 1 + 1 = 1. Единица, получающаяся при сложении двух единиц, переносится в более высокий разряд.

Суммирование двоичных чисел является основой для выполнения всех остальных действий двоичной арифметики.

Сумматоры осуществляют сложение начиная с младшего разряда. Устройство, выполняющее сложение одного разряда слагаемых, называется одноразрядным сумматором. Сложение чисел n разрядами осуществляется схемой из n одноразрядных сумматоров.

На рис. 59, *а* представлена блок-схема одноразрядного сумматора на два входа. Он имеет два входа *а* и *b* и два выхода *С*, где образуется результат суммирования, и *П*, где осуществляется возможный перенос в старший разряд.

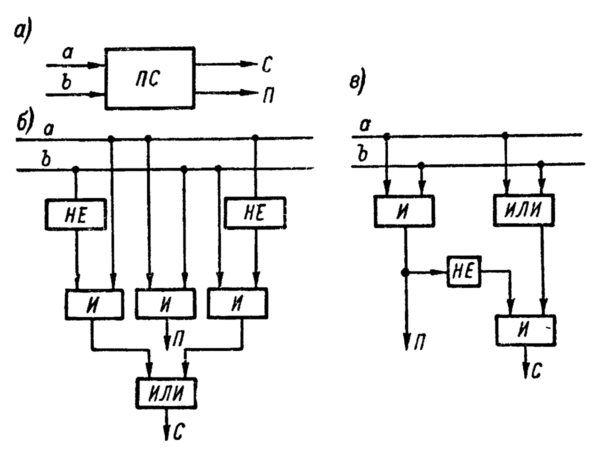


Рис. 59. Одноразрядный сумматор: *а* — блок — схема. Условное обозначение; *б* — функциональная схема; *в* — упрощенная функциональная схема.

На входы *а* и *b* одновременно поступают цифры одноразрядных двоичных чисел в виде соответствующих сигналов.

Согласно рассмотренным выше логическим функциям, можно составить четыре комбинации двоичных цифр на входе одноразрядного сумматора и цифры, которым они должны соответствовать на выходе. Существует следующее правило суммирования: если в младшем разряде в результате сложения образовалась единица следующего разряда, то она складывается с цифрами следующих по старшинству разрядов слагаемых.

Таблица 23

Входные переменные		Выход	
a	*b*	Сумма *С*	Перенос *П*
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Запишем условия работы одноразрядного сумматора в виде табл. 23.

Из таблицы видно, что когда на обоих входах сумматора отсутствуют сигна-

лы, на выходе сигнала также нет. Если сигнал поступит на вход a или b, то на выходе появится сигнал. При одновременном поступлении сигналов на обоих входах появится сигнал переноса в следующий разряд, сигнала суммы не будет.

Составим уравнения по единицам (см. стр. 70) для комбинаций, полученных в табл. 23.

Логическая сумма функции будет:

$$C = a\bar{b} + \bar{a}b, \qquad (8)$$

$$П = ab. \qquad (9)$$

Для реализации полученных выражений необходимо иметь шесть логических ячеек, из них три типа «И», две типа «НЕ» и одну типа «ИЛИ» (рис. 59, *б*).

Как было показано в параграфе 14 выражение (8) может быть представлено в следующем виде

$$C = ab\,(a + b). \qquad (10)$$

Сигнал на выходе одноразрядного сумматора появляется только тогда, когда на оба входа (a и b) поступят одновременно сигналы. Такие схемы называются *комбинационными*.

Согласно выражению (10) схема одноразрядного сумматора на два входа может быть составлена из двух логических схем «И», одной логической схемы «ИЛИ» и одного инвертора (схема «НЕ»).

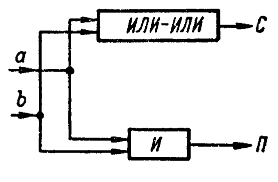


Рис. 60. Функциональная схема одноразрядного сумматора с логическими элементами «И — ИЛИ»

Таким образом, функциональная схема была сокращена и имеет четыре логических элемента: «И» — две ячейки, «НЕ» — одну ячейку, «ИЛИ» — одну ячейку (рис. 59, *в*).

Рассмотренная схема одноразрядного сумматора является вариантом записи логической операции отрицания равнозначности. Эта схема может быть реализована логическими элементами «ИЛИ—ИЛИ» и «И», параллельно включенными к входам a и b (рис. 60).

Одноразрядный сумматор на два входа позволяет складывать лишь одноразрядные числа, поэтому его называют также *полусумматором*. Для сложения чисел с любым количеством разрядов пользуются одноразрядными сумматорами на три входа. Эти сумматоры строятся из

двух полусумматоров и ряда вспомогательных логических элементов. Первый полусумматор складывает оба слагаемых, поступающих на его вход, а второй — сумму этих слагаемых с переносом младшего разряда.

На рис. 61 приведена схема комбинационного сумматора с последовательным вводом разрядов слагаемых. В таких сумматорах слагаемые кода подаются одновременно на их входы; результат суммирования получается в течение действия импульсов на входе. Комбинационные сумматоры не обладают свойством запоминания кодов.

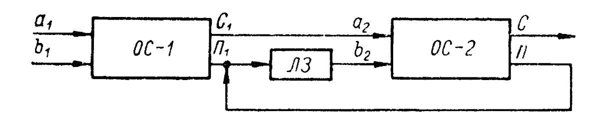


Рис. 61 Схема комбинационного сумматора с последовательным вводом слагаемых. Схема составлена из двух одноразрядных сумматоров.

Схема сумматора состоит из двух совершенно одинаковых полусумматоров ОС-1 и ОС-2; в их цепи переносов включены линии задержки.

Линии задержки задерживают сигнал на один такт. При суммировании на входы a_1 и b_1 первого односумматора ОС-1 поступают кодовые импульсы начиная с младшего разряда, последовательно разряд за разрядом. Если поступит импульс *1* на один из входов, то на выходе первого односумматора C_1 возникает импульс, который поступит на вход a_2 второго односумматора. Второй полусумматор даст на выходе *С* импульс. При поступлении импульсов на оба входа ОС-1 на выходе *П* одноразрядного сумматора появится импульс переноса в старший разряд. Этот импульс поступает в линию задержки и остается там до прихода следующего импульса. Импульс переноса должен поступить на вход b_2 ОС-2 одновременно с импульсом на вход a_2 от очередного импульса C_1 полусумматора ОС-1. Во втором полусумматоре процесс происходит так же как в ОС-1, а следовательно, на выходе сумматора ОС-2 импульса не будет. Сигнал на выходе *С* (ОС-2) появляется только при наличии его на одном из входов. Сигнал на выходе *П* появляется при одновременном поступлении сигналов на обоих входах (a_2, b_2) ОС-2.

Работа рассматриваемой схемы показана в табл. 24 на примере суммирования двух чисел:

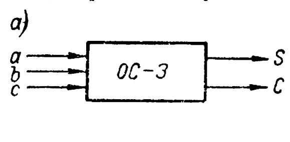
$$+\begin{array}{r}14\\7\\\hline 21\end{array}\qquad +\begin{array}{r}01110\\00111\\\hline 10101\end{array}.$$

Числа в виде импульсов подаются на входы одноразрядного сумматора ОС-1 последовательно разряд за разрядом, начиная с младшего разряда.

Таблица 24

ОС-1				ОС-2				
a_1	b_1	$П_1$ перенос	C_1 выход	b_2 Вх$_1$	a_2 Вх$_2$	$П$ перенос	C выход	ЛЗ линия задержки
0	1	0	1	0	1	0	1	0
1	1	1	0	0	0	0	0	1
1	1	1	0	1	0	0	1	1
1	0	0	1	1	1	1	0	1
0	0	0	0	1	0	0	1	0

Комбинационные сумматоры можно также составить из одноразрядных сумматоров на три входа (ОС-3) без использования полусумматоров. Условно ОС-3 изображена на рис. 62, *а*.



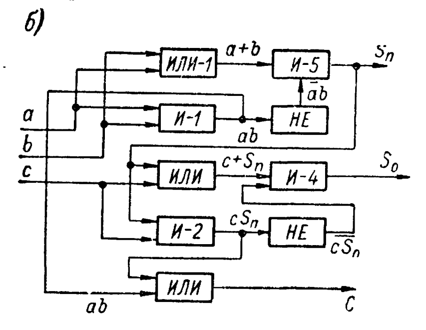


Рис. 62. Одноразрядный сумматор на три входа (ОС-3): *а* — условное обозначение; *б* — функциональная схема.

На входы сумматора ОС-3 одновременно поступают импульсы, из них на два входа *a* и *b* — слагаемые разряда, а на вход *c* — значение переноса, полученное при суммировании предыдущего разряда. На выходе *S* односумматора получается сумма, а на выходе *П* образуется значение переноса в следующий разряд.

Логика работы ОС-3 приведена в табл. 25.

Таблица 25

ОС-3 входные переменные			Выходы	
a (1-й вход)	b (2-й вход)	c (3-й вход)	S — выход суммы	$П$ — выход переноса
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Логические формулы для выходов S и $П$ по условиям истинности описываются следующими уравнениями:

$$S = a\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}\bar{b}c + abc;$$

$$C' = M_0 = ab\bar{c} + a\bar{b}c + \bar{a}bc + abc.$$

Преобразуем полученное выражение:

$$S = \bar{c}\,\underbrace{(a\bar{b} + \bar{a}b)}_{S_n} + c\,(ab + \bar{a}\bar{b}) = \bar{c}S_n + c\,(ab + \bar{a}\bar{b}).$$

Воспользуемся законом инверсии $\overline{ab} = \bar{a} + \bar{b}$:

$$\overline{(ab + \bar{a}\bar{b})} = (\overline{ab})\,(\overline{\bar{a}\bar{b}}) = (\overline{ab})\,(\bar{\bar{a}} + \bar{\bar{b}}) = (\overline{ab})\,(a + b);$$

$$S = \bar{c}S_n + c\bar{S}_n,$$

тогда

$$c' = M_0 = ab\,\underbrace{(c + c)}_{1} + c\,\underbrace{(a\bar{b} + \bar{a}b)}_{S_o}$$

$$c' = ab + cS_n.$$

После преобразования получим

$$S = cS_n + cS_n$$

и

$$c' = M_0 = ab + cS_n.$$

Схема такого одноразрядного сумматора на три входа (ОС-3), построенная на логических элементах, показана на

рис. 62, *б*. Функциональная схема ОС-3, приведенная на рис. 63, как бы состоит из двух ОС-2 и одной схемы «ИЛИ». Схема «ИЛИ» служит для образования кода переноса в следующий разряд.

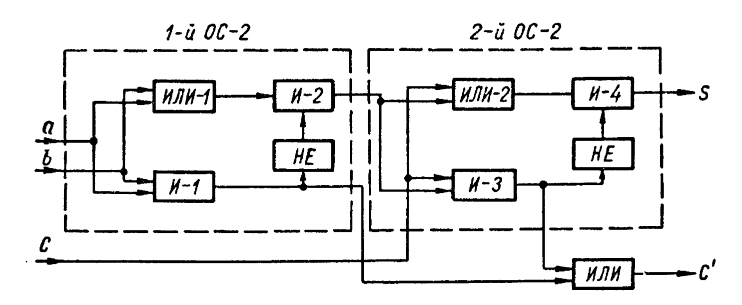


Рис. 63. Схема одноразрядного сумматора ОС-3, состоящая из двух ОС-2.

Схема комбинационного сумматора с последовательным вводом разрядов слагаемых, составленная на ОС-3 с дополнительными логическими элементами, приведена на рис. 64. На входы *a* и *b* ОС-3 слагаемые поступают в последовательном коде, начиная с младшего разряда. Сложение осуществляется поразрядно. *S* — сумма всех разрядов двух чисел, т. е. сумма двух чисел. Импульс переноса через линии задержки *ЛЗ* поступает на вход *С*. Линии задержки рассчитаны так, чтобы импульс, образующийся при сложении цифр *n* разряда, поступил на вход *С* в момент прихода следующего разряда слагаемых ($n + 1$). Суммирование продолжается до тех пор, пока не будут получены значения цифр всех разрядов.

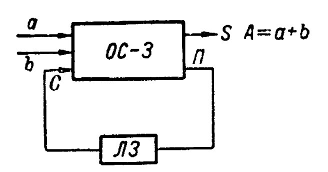


Рис. 64. Комбинационный сумматор с последовательным вводом разрядов слагаемых, составленный на ОС-3.

16. Накапливающий сумматор

В отличие от комбинационного сумматора, где сигналы суммы вырабатываются при одновременном поступлении сигналов слагаемых, накапливающий сумматор способен

хранить ряд чисел, и суммирование в нем выполняется при разновременном поступлении сигналов слагаемых. Вначале в сумматор поступают сигналы первого слагаемого, затем второго и т. д., причем одновременно с этим происходит процесс суммирования.

На рис. 65 приведена функциональная схема двоичного накапливающего сумматора. Каждый разряд его состоит из триггера, логических элементов «И» и линии задержки *ЛЗ*.

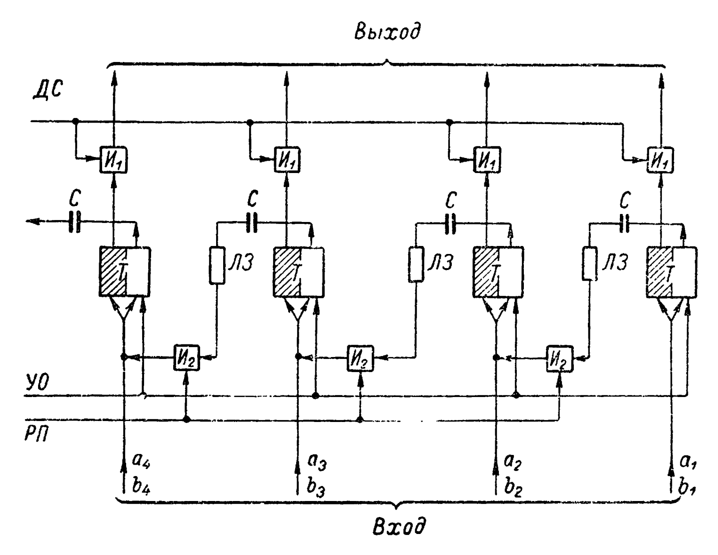


Рис. 65. Функциональная схема двоичного накапливающего сумматора со сквозным переносом.

В начальный момент все триггеры устанавливаются в нулевое положение под действием специального сигнала *УО*. Низкий потенциал на коллекторе триода триггера соответствует нулю. Коды слагаемого подаются одновременно на счетные входы триггеров. Сначала подаются разряды одного числа, затем, по окончании переходных процессов, разряды второго числа и т. д.

При поступлении на вход триггера одного импульса на выходе его получится сигнал, принимаемый за «1». Если на вход триггера подать еще один сигнал, что соответствует «1» в данном разряде, то на выходе будет «0».

Из изложенного следует, что схема триггера может работать как сумматор по закону логического сложения:

$$0 + 0 = 0;$$
$$1 + 0 = 1;$$
$$0 + 1 = 1;$$
$$1 + 1 = 0.$$

Получающиеся переносы при поразрядном сложении передаются в старшие разряды последовательно через линию задержки. Время задержки линии должно быть таким, чтобы единица переноса поступала по окончании переходных процессов в триггере, возникающих при суммировании. После того, как будет выполнено сложение всех цифр с учетом переноса, по шине *ДС* поступает сигнал в логические элементы «И» для разрешения выдачи результатов сложения. Операция сложения производится подачей импульса переноса по шине *РП*.

17. Переключающие устройства

Логический преобразователь. Рассмотренная схема одноразрядного сумматора с тремя входами является частью схемы сумматора последовательного действия. Помимо сумматоров такого типа, существуют сумматоры параллельного действия. Для этих устройств применяют логические преобразователи, предназначенные для получения обратного кода двоичного числа. Количество преобразователей равно числу разрядов двоичного кода.

Таблица 26

Вход	Управляющие сигналы		Выход
a	b_1	b_2	A
1	1	0	1
0	1	0	0
1	0	1	0
0	0	1	1

Действие логического преобразователя заключается в том, чтобы пропустить сигнал a на выход в прямом или инвертированном виде, в зависимости от того, на какой из входов подан управляющий сигнал. Эти условия приведены в табл. 26.

Логическая формула, составленная по единицам, должна иметь вид:

$$A = ab_1 + \bar{a}b_2.$$

Соответствующая схема показана на рис. 66.

Двойной переключатель. Во многих математических машинах применяется переключатель для двух n-разрядных двоичных чисел. Переключатель имеет четыре входа: два для входных сигналов a и b, два для управляющих сигналов C_1 и C_2 и один выход A.

Сигнал на выходе должен появиться только в случае поступления сигналов на входы a и C_1 или на входы b и C_2 (рис. 67).

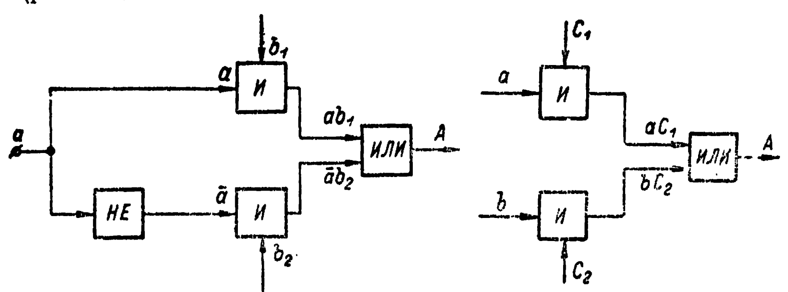


Рис. 66. Преобразователь для одного разряда.

Рис. 67. Функциональная схема двойного переключателя.

Логическая формула будет иметь вид: $A = aC_1 + bC_2$. Сигнал на выходе будет зависеть от того, на какой из управляющих входов будет подан сигнал.

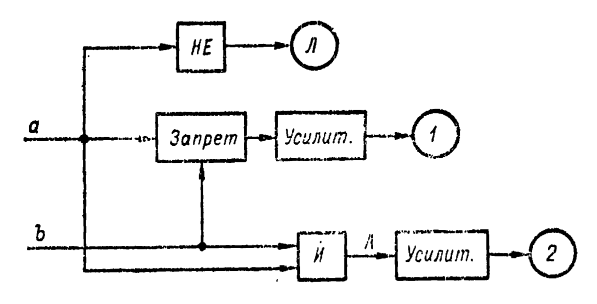


Рис. 68. Функциональная схема раздельного включения устройства I или II.

На рис. 68 изображена структурная схема, позволяющая включить произвольное устройство при наличии сигнала a и отсутствии запрещающего сигнала b. Если сигналы a и b приходят одновременно, то устройство *1* не

включается, а выдается сигнал *А*, дающий разрешение на включение следующего устройства *2*. При отсутствии сигнала *а* загорается лампа *Л*.

Двойной переключатель на триггере. На рис. 69 приведена схема двойного переключателя, которая осуществляется статическим триггером с двумя элементами *И*. В зависимости от сигналов, поступающих на вход триггера, на выход *А* пропускается сигнал *а* или *b*.

Регистры сдвига. Логические элементы широко применяются в регистрах сдвига. Регистр предназначен для запоминания одного числа. Регистр сдвига обеспечивает возможность сдвига этого числа. Под действием каждого тактового импульса регистр сдвига сдвигает поступающий на вход считывающий импульс на один шаг. Аналогично этому в шаговых искателях под действием тока, поступающего в электромагнит, щетки сдвигаются на один шаг. Регистры способны осуществлять накопление и хранение считывающих импульсов, преобразование последовательного кода числа в параллельный и обратно и т. п.

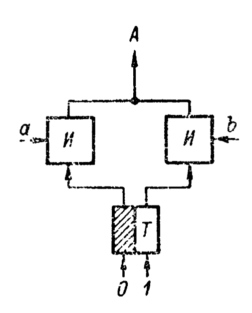


Рис. 69. Двойной переключатель на триггере.

Регистр состоит из последовательно соединенных триггеров, причем каждому элементу кода соответствует свой триггер. Хранимое в регистре число может быть считано либо в параллельном, либо в последовательном коде. В регистрах параллельного действия число вводится и выводится одновременно всеми разрядами.

Функциональная схема такого регистра, предназначенная для запоминания четырехразрядного двоичного числа, изображена на рис. 70. Число триггеров T_1, T_2, T_3 и T_4 определяется количеством разрядов, которым представлено число. Каждый триггер хранит один какой-то разряд. Перед вводом разрядов триггеры приводятся в исходное состояние специальным импульсом.

При одновременной подаче считывающего импульса на вход схем «$И_1'$» — «$И_4'$» и тактового импульса на вход «$И_1$» в триггерах появятся импульсы, которые установят их в положение «1». Этому состоянию соответствует высокий потенциал на коллекторе левого триода (состоянию «0»

соответствует высокий потенциал на коллекторе правого триода). На этом запись числа в регистре заканчивается. Чтобы передать это число в другое устройство, необходимо подать импульс считывания на входы схемы совпадения «$И_2$». Буквами $М$ обозначены команды, получаемые в виде сигналов: $М_0$ — возвращение триггера в исходное положение; $М_1$ — запись в регистре; $М_2$ — выдача числа из регистра.

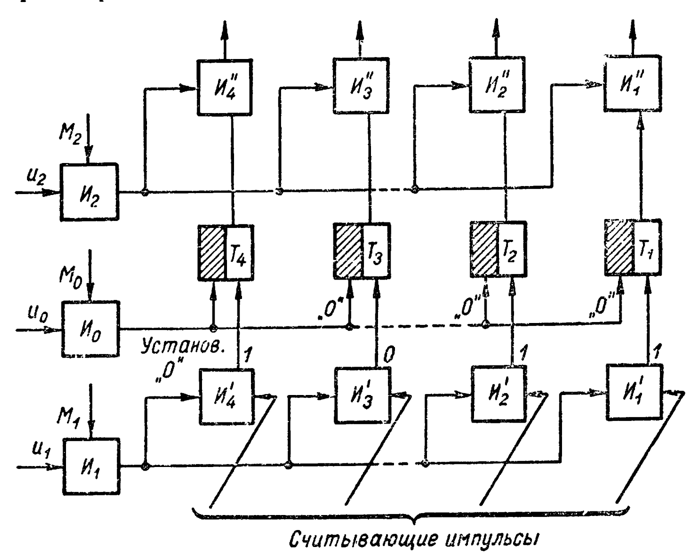


Рис. 70. Схема параллельного регистра.

Считывание числа может происходить много раз, так как состояние триггеров при этом не меняется.

На рис. 71, *а* приведена блок-схема, из которой легко понять принцип работы сдвигающегося регистра.

Триггерные ячейки, из которых состоит регистр, соединяются последовательно. Вводимые в регистр сигналы передвигаются тактовыми импульсами с предыдущего триггера на последующий.

На рис. 71, *б* приведены графики продвижения считывающих импульсов от действия таковых импульсов вдоль регистра, содержащего четыре триггера.

Поступающий на вход регистра импульс переводит триггер *I* из состояния «0» в состояние «1». Затем подается

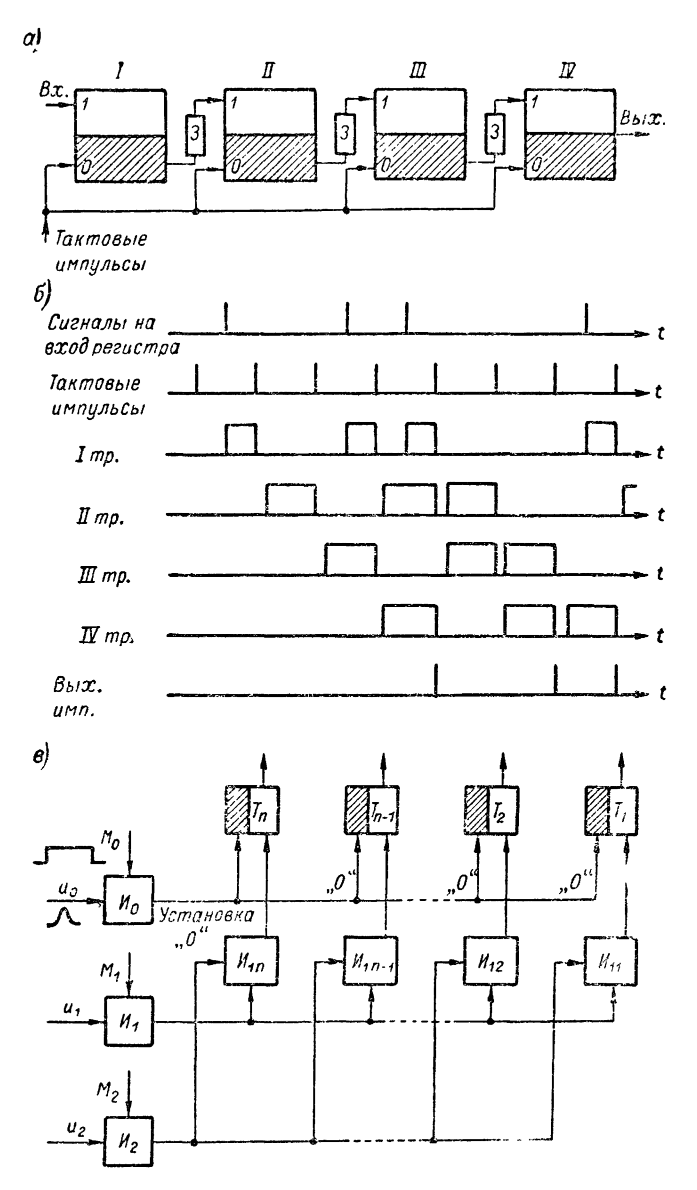


Рис. 71. Сдвигающий регистр: *а* — блок — схема; *б* — диаграмма работы; *в* — функциональная.

тактовый импульс; он переводит триггер *I* и остальные триггеры в состояние «0». На выходе триггера *I* появится импульс, который, пройдя линию задержки *3*, переведет триггер *II* в состояние «1». Очередной тактовый импульс переведет триггер *III* в состояние «1» и возвращает триггер *II* в состояние «0» и т. д. Время задержки импульса должно быть не меньше разрешающего времени триггера.

Функциональная схема регистра сдвига изображена на рис. 71, *в*.

Количество триггеров соответствует количеству разрядов чисел. Этот регистр заполняется считывающим импульсом последовательно разряд за разрядом, начиная с младшего. Число вводится через схему «$И_1$».

Управление регистром осуществляется тактовыми импульсами, которые подаются через схемы (совпадения) «$И_2$».

Тактовые импульсы сдвинуты во времени (примерно на полпериода) относительно импульсов считывания. Перед вводом числа импульсом, поданным на вход «$И_0$». триггер устанавливается в состояние «0». Регистр работает следующим образом.

Пусть импульсы, поступившие на вход регистра в виде какого-то числа, хранятся в нем. Для сдвига вправо на один разряд на вход «$И_2$» поступает один тактовый импульс — импульс сдвига.

Поступившие на вход регистра импульсы с приходом тактового импульса будут перемещаться от триггера к триггеру. Для вывода импульсов n-го разряда надо подать серию n тактовых импульсов в схему совпадения «$И_2$». Частота срабатывания триггерной ячейки должна быть вдвое больше частоты повторения тактовых импульсов, так как триггер один раз срабатывает при гашении, а другой — при поступлении на его вход импульса из линии задержки.

С первого триггера импульс младшего разряда поступит непосредственно на выход. Через время τ на выходе будет импульс второго разряда, через время 2τ — импульс третьего разряда, через τ_{n-1} — импульс последнего разряда.

Управление регистром осуществляется командами, обозначенными буквой *M*.

Рассмотренная схема регистра является однотактной, так как для сдвига на один разряд необходим один тактовый импульс.

ГЛАВА ПЯТАЯ

ПРИМЕНЕНИЕ ЛОГИЧЕСКОЙ ПЕРЕКЛЮЧАТЕЛЬНОЙ ЦЕПИ

18. Аппараты и узлы схем, построенных на логических элементах

Рассмотрим несколько примеров применения простейших логических элементов в различных устройствах.

На рис. 72 приведена схема определения максимального напряжения при помощи логического элемента «ИЛИ», собранного на диодах. На вход схемы «ИЛИ» подается напряжение U_1, U_2 и U_3; предположим напряжение U_1 больше

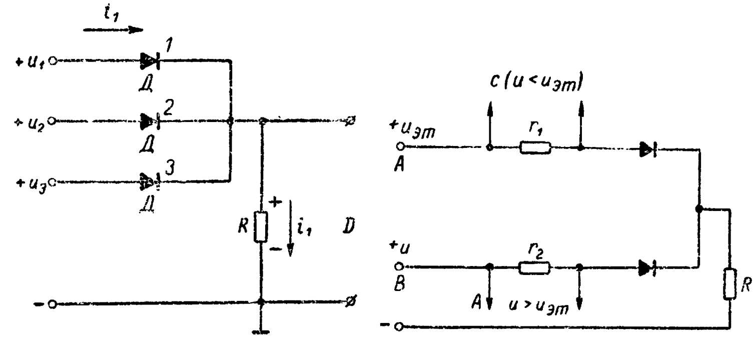


Рис. 72. Схема определения максимального напряжения при помощи логической схемы «ИЛИ», собранной на диодах.

Рис. 73. Сравнение двух напряжений с помощью логической схемы «ИЛИ».

напряжений U_2 и U_3, в этом случае падение напряжения на сопротивлении R будет наибольшим от напряжения U_1 и, следовательно, этим напряжением диоды $Д_2$ и $Д_3$ будут заперты. Ток по цепям диодов $Д_2$ и $Д_3$ проходить не будет, он будет протекать в цепи диода $Д_1$, где приложено наибольшее напряжение. Таким способом может быть определено максимальное напряжение из нескольких напряжений, приложенных к входу схемы. С помощью логического элемента «ИЛИ» может быть осуществлено также их сравнение.

На рис. 73 представлена схема сравнения двух напряжений. Пусть на вход A подается эталонное напряжение $U_{эт}$, а на другой вход B — измеряемое напряжение. Ток будет проходить через сопротивление r_1 тогда, когда измеряемое напряжение меньше эталонного; в этом случае

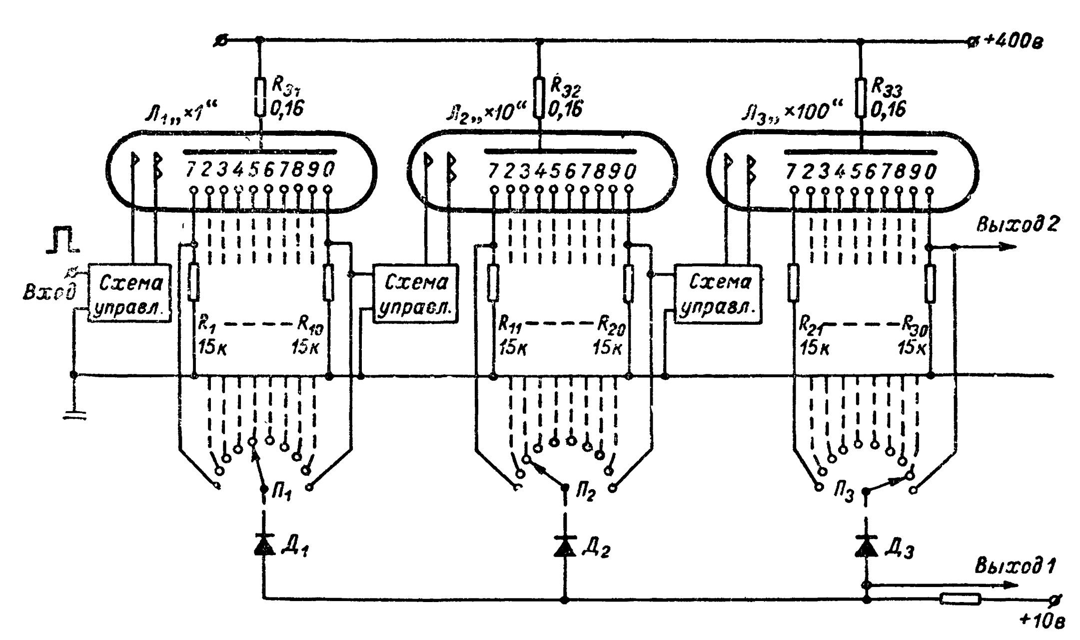


Рис. 74. Применение логической схемы «И» в трехкаскадном декатронном счетчике.

на выходе *с* появится напряжение. На выходе *А* появится напряжение, когда $U > U_{эт}$.

На рис. 74 изображена схема трехкаскадного декатронного счетчика импульсов, использующего логический элемент «И» на диодах. В этой схеме на выходе элемента «И» сигнал появляется тогда, когда ко всем диодам поступит запирающее напряжение от «горящих» катодов декатронов.

Пусть необходимо получить сигнал на выходе схемы в момент прихода на вход декатронного счетчика девятьсот тридцать пятого импульса. Для этого устанавливают переключатели в положение, при котором диод $Д_1$ подключен к пятому катоду декатрона $Л_1$, диод $Д_2$ — к третьему катоду декатрона $Л_2$ и диод $Д_3$ — к девятому катоду декатрона $Л_3$. Когда разряды появятся на катодах декатронов, к которым подключены диоды, то напряжение «горящего» катода будет порядка 15 *в*, и оно закроет диод. Запирание одного из двух диодов очень мало изменит напряжение на выходе схемы. Когда же все диоды будут заперты, то на выходе схемы «*И*» почти полностью появится напряжение от источника питания (+10 *в*).

На рис. 75 изображена структурная схема генерации импульсных звуковых сигналов для вызова телефонных абонентов. В этой схеме используются основные логические элементы «ИЛИ», «И» в качестве переключателей в телефонной связи. Здесь используются импульсы в различной комбинации с частотой 450 *гц* для извещения о соединении с желаемым абонентом.

Принято, что если в телефонной трубке слышны:

1) три коротких сигнала (чему по коду Морзе соответствует буква *s*), то это значит, что можно набрать номер вызываемого абонента;

2) короткий и длинный сигналы (по коду Морзе буква *a*) — набор номера разрешен;

3) короткие сигналы (по коду Морзе — буква *e*) — номер вызываемого абонента занят;

4) длинные сигналы (по коду Морзе буква *t*) — номер вызываемого абонента свободен;

5) два коротких сигнала (по коду Морзе буква *i*) — абонент разговаривает.

Эти импульсы в АТС получаются с помощью механических узлов.

Приведенная схема с помощью мультивибратора МВ, триггеров и логических элементов решает указанную

задачу электронными методами. Сигнал, соответствующий коду по Морзе букве *a*, осуществляется смешением с сигналами Морзе буквы *e* и *t* при помощи схемы «ИЛИ».

Код Морзе буквы *e* получается смешением импульсов от триггеров *1*, *2*, *3*, *4* при помощи логического элемента «И». Код Морзе буквы *i* достигается смешением импульсов *3* и *4* при помощи логической схемы «И». Код Морзе буквы *t* осуществляется смешиванием импульсов *1*, *3*, *4* посредством логической схемы «И».

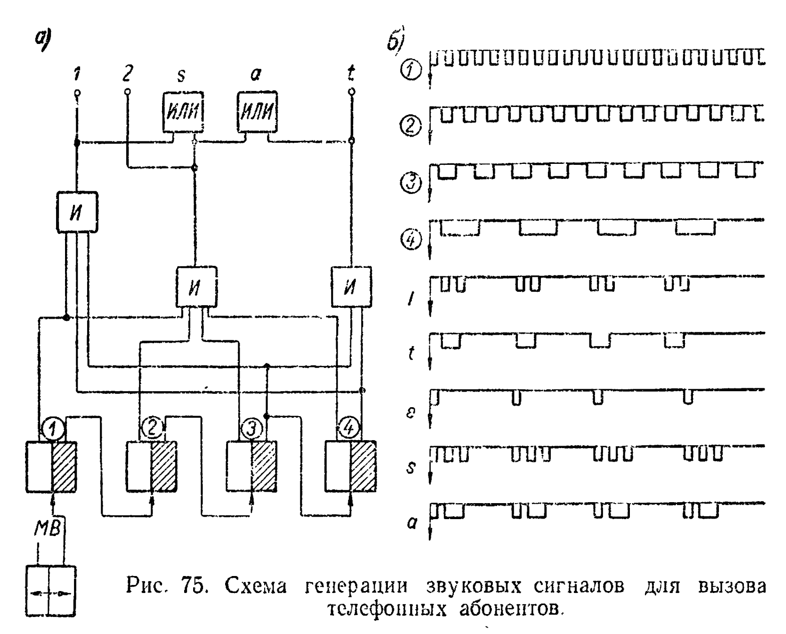


Рис. 75. Схема генерации звуковых сигналов для вызова телефонных абонентов.

Одним из устройств, используемых для управления счетчиком числа импульсов, является логическая схема «запрет», имеющая два входных канала: один прямой (Вх.1) и один запрещающий (Вх.2). При одновременном поступлении импульсов в первый и второй каналы на выходе схемы импульсов не будет. Этой логической функцией решается задача, противоположная схеме совпадения «И».

На рис. 76 представлена схема запрета, которая была использована для прекращения счета числа импульсов. В исходном состоянии от усилителя через сопротивление *R* поступают сигналы Вх.1 в формирующее устройство.

При поступлении отрицательного потенциала к базе — эмиттер триода Вх.2 сопротивление его становится чрезвычайно малым, и вход формирующего устройства почти закорачивается. Импульсы на выходе схемы запрета будут такой малой амплитуды, что в счетчик импульсы не поступят.

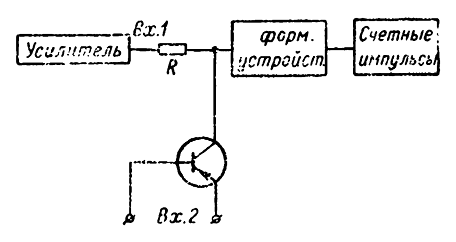


Рис. 76 Схема «запрета».

19. Система программного управления

Управляющая часть системы программного управления состоит из трех частей: входных элементов, вычислительных устройств и исполнительных органов.

Входными элементами являются датчики и другие устройства, создающие входные сигналы для выполнения логических операций. Вычислительные устройства имеют логическую часть, обеспечивающую технологическую последовательность, заданную программой и выдающую команду исполнительным органам. Исполнительные органы состоят из усилителя и исполнительных элементов. Блок-схема автоматического управления имеет вид, изображенный на рис. 77.

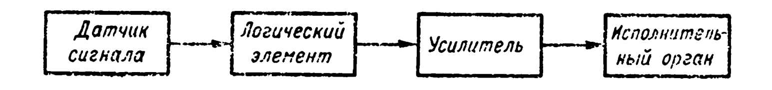


Рис. 77. Схема автоматического управления.

Рассмотрим несколько простейших примеров автоматического управления.

Пример 1. Пусть необходимо запустить двигатель постоянного тока. На рис 78 показана схема запуска двигателя. Для уменьшения пускового тока пуск двигателя

осуществляется через сопротивления R_1 и R_2. Когда ток достигает минимальной величины, эти сопротивления последовательно выключаются, при этом напряжение на якоре возрастает, и он начинает вращаться с нормальным числом оборотов.

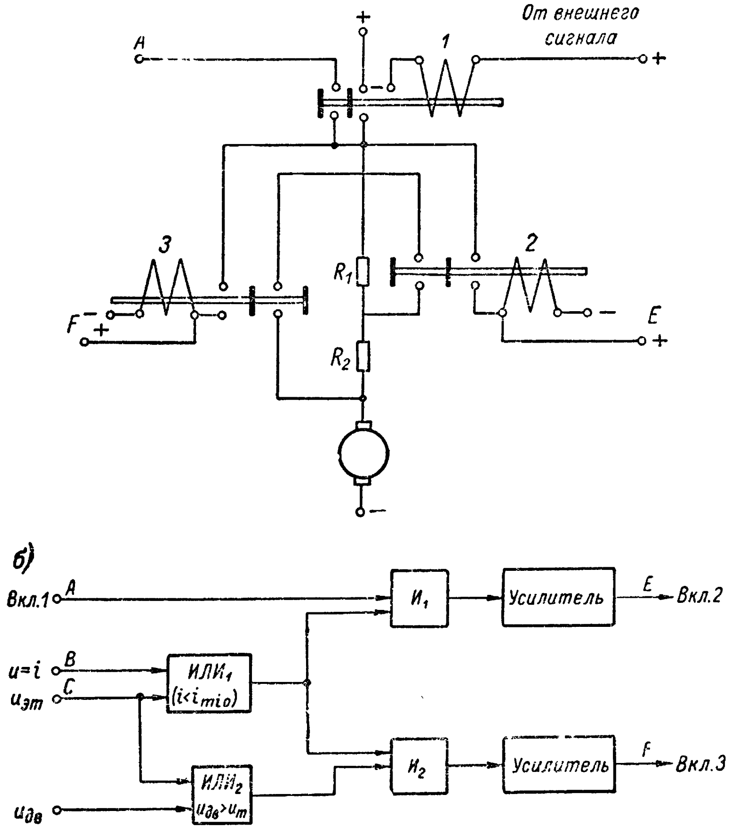


Рис. 78. Запуск двигателя: *а* — схема запуска; *б* — логическая схема запуска.

Запуск двигателя происходит в следующем технологическом порядке: от внешнего сигнала включается контактор *1* и замыкается цепь питания двигателя. С увеличением числа оборотов двигателя пусковой ток становится минимальным, включается контактор *2* и закорачивает сопротив-

ление R_1. При этом напряжение на якоре возрастет и увеличится пусковой ток. При дальнейшем увеличении оборотов двигателя, когда ток станет минимальным, включается контактор *3* и закорачивает сопротивление R_2.

Заданная программа включения двигателя осуществляется логической схемой. Для этого воспользуемся схемой сравнения двух напряжений (см. рис. 73), по этой схеме сигнал появится тогда, когда измеряемое напряжение меньше эталонного — внешнего источника напряжения.

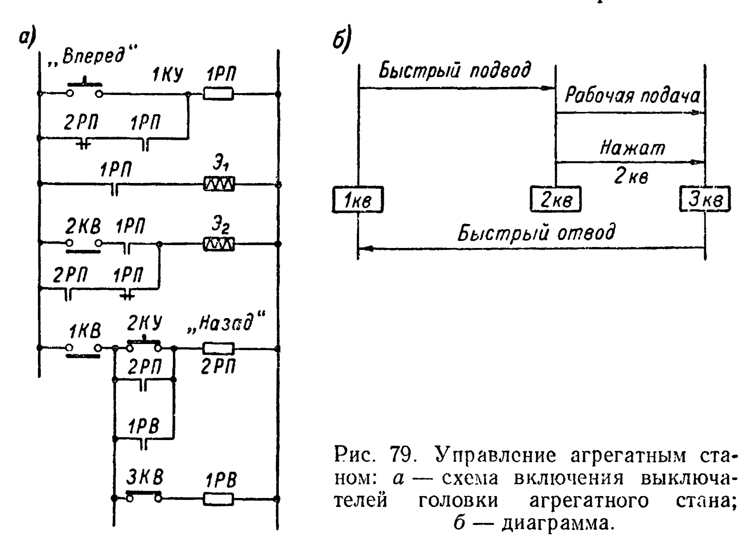


Рис. 79. Управление агрегатным станом: *а* — схема включения выключателей головки агрегатного стана; *б* — диаграмма.

Логическая схема запуска двигателя представлена на рис. 78, *б*. Схема имеет 4 входа и 2 выхода. На вход *А* подается сигнал от внешнего источника, на вход *В* — напряжение *U*, пропорциональное току двигателя, на вход *Д* — напряжение двигателя $U_{дв}$ и на вход *С* — эталонное напряжение $U_{эт}$. Сигнал на входе *А* возникает при включении контактора *1* (происходит замыкание контактов). Величина пускового тока i_a уменьшится до значения i_{min}. На выходе «ИЛИ», появится сигнал, который поступит в схемы «$И_1$». Сигнал с выхода «$И_1$» усилится и включит контактор *2*. В момент времени, когда противоэлектродвижущая сила двигателя $U_{дв}$ будет больше $U_{эт}$ на входе «$И_2$» появится сигнал на выходе «ИЛИ». Сигнал этот усилится и включит контактор *3*. При отключении внешнего сигнала от

контактора *1* размыкается цепь питания двигателя, и контакторы *2* и *3* обесточиваются.

Пример 2. По релейно-контактной схеме управления несамодействующей головки агрегатного стана составить ее логическую схему. На рис. 78 приведена рассматриваемая релейно-контактная схема. В схеме каждый исполнительный элемент обозначается условным индексом: промежуточное реле *РП*, реле времени *РВ*, конечный выключатель *КВ*, кнопка управления *КУ* и т. п. Цифра, стоящая перед индексом, указывает на число однотипных элементов. На рис. 79, *а* приведена диаграмма включения конечных выключателей головки. Нажатием кнопки 1*КВ* включаем

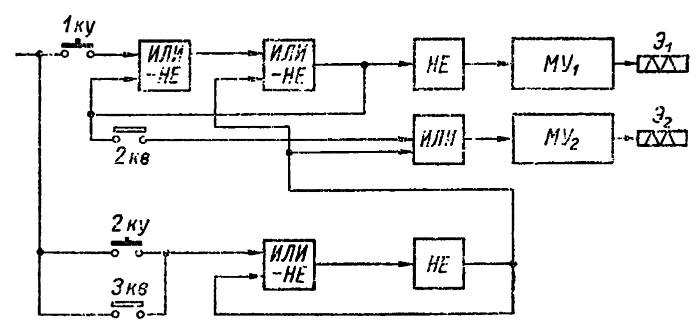


Рис. 80. Логическая схема управления головкой.

электромагниты $Э_1$ и $Э_2$ и производим быстрый подвод несамодействующей головки. Нажатием кнопки 2*КВ* выключается электромагнит $Э_2$, и начинается рабочая подача.

После обработки детали включается выключатель 3*КВ* и через требуемую выдержку времени, задаваемую реле времени, выключается электромагнит $Э_1$ и включается электромагнит $Э_2$. Начинается быстрый отвод головки в исходное состояние. При этом размыкаются выключатели 2*КВ* и 3*КВ*.

На рис. 80 приведена логическая схема, выполняющая рассмотренную программу управления головкой.

Перевод с релейно-контактной схемы на схему с логическими элементами можно осуществить механически подстановкой соответствующих элементов. Вместо последовательных цепочек контактов ставится элемент «И», а вместо параллельных контактов — элемент «ИЛИ». Инвертирование сигналов осуществляется элементом «НЕ», реле с самоблокировкой заменяется «памятью» и т. д.

ЛИТЕРАТУРА

1. Беркли Э., Символическая логика и разумная машина, Изд-во иностр. лит., 1961.

2. Голышев Л. К., Вычислительная машина, «Техника», Киев, 1965.

3. Гольденберг Л. И., Меньшиков Г. Г., Основы вычислительной техники, Элементы цифровых устройств, Лениздат, 1965

4. Гиршберг В. В., Дамацкий С. М., Кутлер Н. П., Петружин В. П., Прангишвили И. В. и Ходнев В. В., Типовые узлы на полупроводниковых логических и функциональных элементах серии ЭТ, «Энергия», 1966.

5 Дроздов Е. К., Прохоров В. И., Пятибратов А. П., Основы вычислительной техники, Воениздат, 1964.

6. Клейн М. Л., Морган Г. С., Арансон М. Г., Цифровая техника для вычислений и управления, Изд-во иностр. литерат., 1960.

7. Карандеев К. Б., Гриневич Ф. Б., Новен А. И., Емкостные самокомпенсированные уровнемеры, «Энергия», 1966.

8. Мартынов Е. М., Бесконтактные переключающие устройства Госэнергоиздат, 1961.

9. Приснухин Л. Н., Смирнов Ю. М., Соломонов Л. А., Темнов И. В., Основы расчета и проектирования счетно-решающих устройств, «Высшая школа», 1965.

10 Прохоров Н. А., Система магнитных логических элементов ЭЛМ-400, Изд. НТО по приборостроению, средств автоматизации и системы управления, М., 1965.

11. Румиф К., Пульверс М., Справочник по транзисторным схемам, «Мир», 1965.

12. Сучилин А. М., Основы вычислительной техники, «Энергия», 1964.

13. Шляпоберский В. И., Элементы дискретных систем связи, Воениздат, 1965.

14. Якубайтис Э. А., Основы технической кибернетики, Изд-во АН Латвийской ССР, Рига, 1962.

ОГЛАВЛЕНИЕ

Стопский Самуил Борисович

ЛОГИЧЕСКИЕ СХЕМЫ НА ПОЛУПРОВОДНИКАХ И ИХ ПРИМЕНЕНИЕ

Научный редактор ***А. М. Сучилин***

Редактор ***Ю. Л. Тимаев***

Художественный редактор ***Г. А. Гуднов***

Технический редактор ***О. С. Житникова***

Корректор ***Л. П. Махаева***

Сдано в производство 2/I 1969 г. Подписано к печати 7/X 1969 г. М50853. Печ. л. прив. 5,04. Бум. л. 1,5 л. Уч.-изд. л. 5,01. Формат 84×108 1/32. Бумага типографская № 2. Тираж 60 000. Заказ 784. Цена 20 коп.

Ленинградское отделение издательства «Энергия», Марсово поле, 1

Ордена Трудового Красного Знамени Ленинградская типография № 1 «Печатный Двор» имени А. М. Горького Главполиграфпрома Комитета по печати при Совете Министров СССР, г. Ленинград, Гатчинская ул., 26.

Цена 20 коп.